

Corresponding to
WO 89/03562 A1

⑩ 日本国特許庁(JP)

⑪ 特許出願公表

⑫ 公表特許公報(A)

平2-501791

⑬ 公表 平成2年(1990)6月14日

⑭ Int. Cl.³

識別記号

庁内整理番号

審査請求 未請求

予備審査請求 未請求

部門(区分) 7(3)

H 04 L 12/56

G 06 F 15/16

3 1 0 V

6745-5B

7830-5K

H 04 L 11/20

1 0 2 Z 8

(全 31 頁)

⑮ 発明の名称 データ処理装置クラスターに使用するコンピュータ相互結合カプラ

⑯ 特 題 昭63-509137

⑰ 出 版 昭63(1988)10月13日

⑱ 公開文提出日 平1(1989)6月16日

⑲ 国 際 出 願 PCT/US88/03570

⑳ 国際公開番号 WO89/03502

㉑ 国際公開日 平1(1989)4月20日

優先権主張 ㉒ 1987年10月16日 ㉓ 米国(U.S.) ㉔ 110,513

⑳ 発 明 者

ケント アレン アール

アメリカ合衆国 マサチューセッツ州 02174 アーリントン パーク アベニュー イクスタンション 15

㉑ 発 明 者

リード ハロルド エイ

アメリカ合衆国 マサチューセッツ州 01503 パーリン クロスビー ロード 32

㉒ 出 願 人

デジタル イクイブメント

アメリカ合衆国 マサチューセッツ州 01754-1413 メイナードコーポレーション

パウダー ミル ロード 111

㉓ 代 理 人

弁理士 中村 稔 外7名

㉔ 指 定 国

A T (広域特許), B E (広域特許), C H (広域特許), D E (広域特許), F R (広域特許), G B (広域特許), I T (広域特許), J P, L U (広域特許), N L (広域特許), S E (広域特許)

最終頁に続く

序 言

請求の範囲

1. それぞれが送信用ポートを有している多数データ処理装置間でメッセージの伝送を行うためのコンピュータ相互結合用カプラにおいて、

それぞれが前記データ処理装置のうちの一つの送信用ポートに接続され、接続された装置に対してメッセージの伝送を行うための送信用チャネルを形成しており、前記チャネルそれぞれのための受け取り手段及び伝送手段を具備している、複数の電子スイッチング手段と、

前記スイッチング手段のそれぞれに付設され、これらのスイッチング手段の間でメッセージの伝送を行うための複数の接続部と、

ソース装置から前記スイッチング手段の一つに到達しているメッセージを、このメッセージが伝送する目的地装置に接続されているスイッチング手段に伝送するように前記接続部の制御を行う、前記スイッチング手段の全てに付設されている中央スイッチング手段と、

前記接続部の制御が行われるのを待機している受け取りメッセージの先頭部分と一時的に記憶するためのファースト・イン・ファースト・アウト・バッファと

を有することとを特徴とするコンピュータ相互結合用カプラ。

2. 請求の範囲第1項に記述のコンピュータ相互結合用カプラにおいて、指定された目的地装置の送信用チャネルがビジー状態のときには、前記受け取りメッセージにおける記憶されている先頭部分を受渡するための手段を有していることを特徴とするコンピュータ相互結合用カプラ。

3. それぞれが送信用ポートを有している多数データ処理装置間

でメッセージの伝送を行うためのコンピュータ相互結合用カプラにおいて、

それぞれが前記データ処理装置のうちの一つの送信用ポートに接続され、接続された装置に対してメッセージの伝送を行うための送信用チャネルを形成しており、前記チャネルそれぞれのための受け取り手段及び伝送手段を具備している、複数の電子スイッチング手段と、

前記スイッチング手段のそれぞれに付設され、前記スイッチング手段の間でメッセージの伝送を行うための複数の接続部と、ソース装置から前記スイッチング手段の一つに到達しているメッセージを、このメッセージが伝送する目的地装置に接続されているスイッチング手段に伝送するように前記接続部の制御を行う、前記スイッチング手段の全てに付設されている中央スイッチング手段と、

前記中央スイッチング手段に接続されており、指定された送信用チャネル上に受け取られたメッセージ用の一連の有効目的地を記憶するための手段と、

前記指定チャネルから受け取ったメッセージによって実際に指定されている目的地を前記有効目的地アドレスと比較して、前記一連の有効目的地に含まれていない目的地を指定するメッセージを伝送するための接続部を有して停止するための手段と

を有することとを特徴とするコンピュータ相互結合用カプラ。

4. それぞれが送信用ポートを有している多数データ処理装置間でメッセージの伝送を行うためのコンピュータ相互結合用カプラにおいて、

それぞれが前記データ処理装置のうちの一つの送信用ポート

に接続され、接続された装置に対してメッセージの送受を行うための通信用チャネルを形成しており、前記チャネルそれぞれのための受け取り手段および送信手段を具備している、複数の電子スイッチング手段と、

前記スイッチング手段のそれぞれに付設され、前記スイッチング手段の間でメッセージの伝送を行うための複数の接続部と、
ソース装置から前記スイッチング手段の一つに到着しているメッセージを、このメッセージが指定する目的地装置に接続されているスイッチング手段に伝送するように前記接続部の制御を行う、前記スイッチング手段の全てに接続されている中央スイッチ制御手段と、

通信用チャネルがビジーとなっている場合の目的地装置を指定するメッセージ用のメッセージ情報キューイング処理をするためのファースト・イン・ファースト・アウト・キュー、および前記ビジー状態であった通信用チャネルがビジー状態ではなくなった時に、前記キューから最も古いメッセージ情報を検索するための手段と、

を有することを特徴とするコンピュータ相互結合用ケーブル。

- 請求の範囲第1項に記載のコンピュータ相互結合用ケーブルにおいて、前記メッセージ情報のキューイング処理に際しては、メッセージ発生元のチャネル用の伝送手段を監視して、このチャネルのデータ処理装置へフロー制御信号を送って、この装置からメッセージの伝送が止まることを禁止するための手段を有することを特徴とするコンピュータ相互結合用ケーブル。
- 請求の範囲第1項に記載のコンピュータ相互結合用ケーブルにおいて、行列化されたメッセージ情報の目的地用の通信用チャネルがビジー状態ではないときに、この行列化されたメッセ

ージ情報がキューの先頭に現れた時に、前記フロー制御信号によって禁止されたデータ処理装置からのメッセージの再伝送を可能にするための手段を有していることを特徴とするコンピュータ相互結合用ケーブル。

- 請求の範囲第8項に記載のコンピュータ相互結合用ケーブルにおいて、前記メッセージを再伝送するためにこのメッセージ発生元の装置への信号発生に引続く再伝送した瞬間に終了時に前記キューからのメッセージ情報を検索するためのキュー・ダイヤを有することを特徴とするコンピュータ相互結合用ケーブル。

請求の範囲第5項に記載のコンピュータ相互結合用ケーブルにおいて、前記伝送手段は、前記フロー制御信号内にメッセージを挿入して、このフロー制御信号を受け取ったデータ処理装置が、この装置から出力されるメッセージの再伝送が禁止されている間に、メッセージを受け取ることができるようになる手段を備えていることを特徴とするコンピュータ相互結合用ケーブル。

請求の範囲第5項に記載のコンピュータ相互結合用ケーブルにおいて、前記中央スイッチ制御手段は、メッセージ情報が前記キューの先頭に出現することに際して、前記メッセージの発生元のデータ処理装置へのフロー制御信号の伝送を停止するための手段を備えていることを特徴とするコンピュータ相互結合用ケーブル。

- 請求の範囲第1項に記載のコンピュータ相互結合用ケーブルにおいて、前記受け取り手段は、各メッセージ内のソース・アドレス・データに際して、メッセージの発生元、このメッセージを伝送するために選択する行を行う前記中央スイッチ制御手段を駆動するために、前記受け取り手段に接続されたと決定

されるデータ処理装置からのものであることを確認するための手段を有していることを特徴とするコンピュータ相互結合用ケーブル。

- 請求の範囲第1項に記載のコンピュータ相互結合用ケーブルにおいて、前記伝送手段は、各メッセージ内の目的アドレス・データに際して、メッセージが、このメッセージを目標とするチャネルに接続されているデータ処理装置へ伝送する前に、その目標とするチャネルに到着していることを確認するための手段を備えていることを特徴とするコンピュータ相互結合用ケーブル。
- それぞれが通信用ポートを有している多量データ処理装置間でメッセージの伝送を行うためのコンピュータ相互結合用ケーブルにおいて、

それぞれが前記データ処理装置のうちの一つの通信用ポートに接続され、接続された装置に対してメッセージの送受を行うための通信用チャネルを形成しており、前記チャネルそれぞれのための受け取り手段および送信手段を具備している、複数の電子スイッチング手段と、

前記スイッチング手段のそれぞれに付設された複数の接続部と、
ソース装置から前記スイッチング手段の一つに到着しているメッセージを、このメッセージが指定する目的地装置に接続されているスイッチング手段に伝送するように前記接続部の制御を行う、前記スイッチング手段の全てに接続されている中央スイッチ制御手段と、

それぞれがそれぞれの状態を示すステータス・コードを発生する手段を備えている多量データ装置と、

多量データ装置をポーリングし、存在する前記装置からのステータス・コードを読み取るための手段を備えている診断プロセッサと

- を有することを特徴とするコンピュータ相互結合用ケーブル。
- それぞれが通信用ポートを有している多量データ処理装置間でメッセージの伝送を行うためのコンピュータ相互結合用ケーブルにおいて、

それぞれが前記データ処理装置のうちの一つの通信用ポートに接続され、接続された装置に対してメッセージの送受を行うための通信用チャネルを形成しており、前記チャネルそれぞれのための受け取り手段および送信手段を具備している、複数の電子スイッチング手段と、

前記スイッチング手段間をメッセージの伝送を行うために、前記スイッチング手段のそれぞれに付設された複数の接続部と、
ソース装置から前記スイッチング手段の一つに到着しているメッセージを、このメッセージが指定する目的地装置に接続されているスイッチング手段に伝送するように前記接続部の制御を行う、前記スイッチング手段の全てに接続されている中央スイッチ制御手段とを有し、前記スイッチング手段および前記中央スイッチ制御手段は、診断情報を受け取るための不揮発性メモリ手段を備えた回路基板を有しており、

さらに、欠陥情報基板を駆動のために取り付く前記、この回路基板基板上の前記メモリ手段に診断情報を書き込むための診断プロセッサを有していることを特徴とするコンピュータ相互結合用ケーブル。

- それぞれが通信用ポートを有している多量データ処理装置間でメッセージの伝送を行う方法において、

メッセージの目標とする目的地を特定するアドレス・データを含むメッセージを、各データ処理装置のポートからそれぞれ通信用チャネルを介して、このデータ処理装置間の受け取り手段および伝送手段を備えた電子スイッチング手段へ伝送する工程と、

メッセージ内で特定される目的地のデータ処理装置間の電子スイッチング手段の伝送手段に対する、受け取り手段に到達した各メッセージの伝送用接続部を選択する工程と、

選択された接続部を、メッセージ発生元の装置のスイッチング手段および目的地装置に接続する工程と、

各メッセージを、メッセージ発生元の装置のスイッチング手段から選択した接続部を介して、目的地装置間の伝送手段へ伝送し、さらにこの目的地装置に伝送する工程と、

接続部の選択が終わるのを待機している受け取り手段に到達している各メッセージの先頭部分を同時に伝送する工程とからなる多量データ処理装置間のメッセージ伝送方法、

15. 請求の範囲第14項に記載の方法において、通信用チャネルがビジーとなっている目的地装置を指定するメッセージのメッセージ情報を一時的に記憶する工程を含むことを特徴とするメッセージ伝送方法、

16. 請求の範囲第15項に記載の方法において、指定された装置から受け取ったメッセージの一連の符号化手段を記憶し、前記指定装置から受け取ったメッセージがビジー内で空席に特定された目的地を、前記符号化手段と比較して、前記一連の符号化手段内に含まれているようにメッセージの伝送用接続部の選択を禁止する工程を含むことを特徴とするメッセージ伝送方法、

17. 請求の範囲第14項に記載の方法において、通信用チャネル

メッセージ情報元であるデータ処理装置に対する前記フロー制御信号の伝送を、このメッセージ情報元がキューの先頭に達した時に停止する工程を含むことを特徴とするメッセージ伝送方法、

23. 請求の範囲第14項に記載の方法において、受け取り手段に到達するメッセージが、このメッセージの伝送のための接続部が選択される前にこの受け取り手段に接続された指定されるデータ処理装置からのものであることを確認する工程を含むことを特徴とするメッセージ伝送方法、

24. 請求の範囲第14項に記載の方法において、メッセージが目標とする目的地の伝送手段に到達したことを、このメッセージがこの伝送手段に到達したデータ処理装置に伝送される前に確認する工程を含むことを特徴とするメッセージ伝送方法、

25. それぞれが通信用ポートを有している多量データ処理装置間でメッセージの伝送を行う方法において、

目標とするメッセージの目的地を特定するアドレス・データを含むメッセージを、各データ処理装置のポートからそれぞれ通信用チャネルを介して、このデータ処理装置の受け取り手段および伝送手段を備えた電子スイッチング手段へ伝送する工程と、

メッセージ内で特定される目的地のデータ処理装置間の電子スイッチング手段の伝送手段に対する、受け取り手段に到達した各メッセージの伝送用接続部を選択する工程と、

選択された接続部を、メッセージ発生元の装置のスイッチング手段および目的地装置に接続する工程と、

各メッセージを、メッセージ発生元の装置のスイッチング手段から、選択した接続部を介して、目的地装置間の伝送手段へ伝送し、さらにこの目的地装置に伝送する工程と、

がビジーとなっている目的地の目的地装置を指定するメッセージのメッセージ情報をキューで記憶し、前記ビジー状態の通信用チャネルがビジーでなくなったときには、前記キューから最も古いメッセージ情報を検索する工程を含むことを特徴とするメッセージ伝送方法、

18. 請求の範囲第17項に記載の方法において、フロー制御信号を、行列化されたメッセージ情報の発生元であるデータ処理装置へ送り、この装置からのメッセージの再伝送を禁止する工程を含むことを特徴とするメッセージ伝送方法、

19. 請求の範囲第18項に記載の方法において、行列化されたメッセージ情報元の目的地装置の通信用チャネルがビジーでなくなり、行列化されたメッセージ情報がキューの先頭部分に達した時に、前記フロー制御信号によって禁止されていたデータ処理装置からのメッセージの再伝送を可能にする工程を含むことを特徴とするメッセージ伝送方法、

20. 請求の範囲第19項に記載の方法において、メッセージの再伝送を行わせるためにメッセージ発生元の装置への符号化手段に引き続く予約設定した時間間隔の終了時に、前記キューからのメッセージ情報を検索する工程を含むことを特徴とするメッセージ伝送方法、

21. 請求の範囲第18項に記載の方法において、前記フロー制御信号内にメッセージを挿入して、このフロー制御信号を受け取るデータ処理装置が、この装置から発生するメッセージの再伝送が禁止されている間に、メッセージを受け取ることが可能となるようにする工程を含むことを特徴とするメッセージ伝送方法、

22. 請求の範囲第18項に記載の方法において、行列化されたメ

ッセージ情報の伝送装置位置のうちのある位置に設置され、前記電子スイッチング手段を備えている多量の装置のそれぞれが、前記装置から発生するメッセージの再伝送を禁止する工程と、

多量の装置間を伝送するポートを有し、存在する装置間から前記ステータス・コードを読み取る工程と

からなる多量データ処理装置間のメッセージ伝送方法、

26. それぞれが通信用ポートを有している多量データ処理装置間でメッセージの伝送を行う方法において、

メッセージの目標とする目的地を特定するアドレス・データを含むメッセージを、各データ処理装置のポートからそれぞれ通信用チャネルを介して、このデータ処理装置間の受け取り手段および伝送手段を備えた電子スイッチング手段へ伝送する工程と、

メッセージ内で特定される目的地のデータ処理装置間の電子スイッチング手段の伝送手段に対する、受け取り手段に到達した各メッセージの伝送用接続部を選択する工程と、

選択された接続部を、メッセージ発生元の装置のスイッチング手段および目的地装置に接続する工程と、

各メッセージを、メッセージ発生元の装置のスイッチング手段から、選択した接続部を介して、目的地装置間の伝送手段へ伝送し、さらにこの目的地装置に伝送する工程と、

前記電子スイッチング手段のうちのあるものを含む次のある装置間が伝送のために取り与えられるように、この装置間を不確実性メモリに前記情報を書き込む工程と

からなる多量データ処理装置間のメッセージ伝送方法、

27. それぞれのアドレスを有する複数のデータ処理装置と間の通信を行うデータ処理装置の動作方法において、

目的地アドレスを含む出力メッセージを送信する工程と、
前記出力メッセージの伝送後にデータリジッドメントが受け取られたか否かを検出し、このデータリジッドメントが受け取られなかったときには、フロー制御信号を受け取られたか否かを検出し、このフロー制御信号を受け取られたときには、前記メッセージの再伝送を禁止し、前記フロー制御信号を受け取られなかったときには、前記メッセージの再伝送を可能とする工程と、
前記フロー制御信号によって前記メッセージの再伝送が禁止されている場合には、入力メッセージが前記フロー制御信号内に挿入されたか否かを検出し、前記入力メッセージが前記フロー制御信号内に挿入されたときには、前記入力メッセージを受け取り、この入力メッセージの受け取りが終了した後に、前記フロー制御信号が再び受け取られたか否かを検出し、このフロー制御信号が再び受け取られたときには、前記出力メッセージの再伝送を禁止し、前記フロー制御信号が再び受け取られることがないときには、前記出力メッセージの再伝送を可能とする工程とを有するデータ処理装置の作動方法。

28. 請求の範囲第27項に記載の方法において、前記データリジッドメントの伝送を、前記入力メッセージを受け取りした後であって、前記フロー制御信号が再び受け取られたか否かを検出する前に行うようにした工程を含むことを特徴とするデータ処理装置の作動方法。
29. 請求の範囲第27項に記載の方法において、前記フロー制御信号は、前記入力メッセージの伝送にも使用されるキャリアを含んでいることを特徴とするデータ処理装置の作動方法。
30. 請求の範囲第9項に記載の方法において、前記入力メッ

セージの受け取り制御および伝送に、キャリアが存在しないことを検出する工程を含むことを特徴とするデータ処理装置の作動方法。

31. 不揮発性のメモリ手段を有する電子回路装置であって、前記メモリ手段はこの装置上に搭載され、この装置上に形成された回路で構成されており、さらにこのメモリ手段には、

基板上の回路の故障発生時における基板と接続されている回路の状態を含む故障情報と、

基板およびこの基板上の回路の修理に関する修理情報と、
基板的アイデンティフィケーションシリアル番号が記憶されていることを特徴とする電子回路装置。

32. 請求の範囲第31項に記載の電子回路装置において、基板が搭載されるシャーシ上の故障特定手段に対して基板を接続すると共に、前記メモリ手段内に前記故障特定手段からのデータを記憶させるための手段を有していることを特徴とする電子回路装置。

33. 請求の範囲第31項に記載の電子回路装置において、前記メモリ手段は非揮発性メモリであることを特徴とする電子回路装置。

34. それぞれが通信ポートを有している多量データ処理装置間でメッセージの伝送を行うためのコンピュータ相互結合用プログラムにおいて、

目標とするメッセージの目的地であるデータ処理装置を特定するアドレス・データを含むメッセージを、前記データ処理装置の通信ポートから受け取るための手段と、

指定されたデータ処理装置から発せられたメッセージの一送の有効目的地を記憶するための手段と、
前記指定された装置が発生したメッセージ内で実際に特定さ

れた目的地と前記有効目的地アドレスを比較する手段と、

前記比較手段に対応して、前記指定装置から受け取ったメッセージの特定された目的地への伝送を、特定した目的地が前記一送の有効目的地に含まれる場合にのみ行うための手段とを有することを特徴とするコンピュータ相互結合用プログラム。

35. 請求の範囲第34項に記載のプログラムにおいて、前記記憶手段は、複数の送受信データ処理装置を特定する情報を記憶しているメモリを有しており、前記比較手段は、データ処理装置がメッセージを発生し終えて、このデータ処理装置が、目的地が前記装置内に含まれるものとしてアドレス・データによって特定されたか否かを決定するための手段を有していることを特徴とするコンピュータ相互結合用プログラム。

36. 請求の範囲第35項に記載のプログラムにおいて、前記データ処理装置の通信ポートは、前記プログラムを介して、アドレスがそれぞれ割り当てられた通信チャネルに接続されており、前記メモリは、メッセージを受け取るチャネルのアドレスおよびメッセージの目的地用のチャネル・アドレスによって、アドレスされるように構成されていることを特徴とするコンピュータ相互結合用プログラム。

37. 請求の範囲第36項に記載のプログラムにおいて、前記メモリ内の各ビットは、前記ビットをアドレスするチャネル・アドレスに対応するデータ処理装置が、前記メモリ内の前記ビット位置に対応する前記装置のうちの一つのもの中に含まれるものであるか否かを指示するようにプログラムされていることを特徴とするコンピュータ相互結合用プログラム。

38. 請求の範囲第34項に記載のプログラムにおいて、前記メモリは、メッセージを受け取るチャネルのアドレスによってアドレスさ

れる第1の部分と、メッセージ内であるチャネル・アドレスによってアドレスされる第2の部分とを有していることを特徴とするコンピュータ相互結合用プログラム。

39. それぞれが通信ポートを有している多量データ処理装置間でメッセージの伝送を行うためのコンピュータ相互結合用プログラムにおいて、

目標とするメッセージの目的地であるデータ処理装置を特定するアドレス・データを含むメッセージを、前記データ処理装置の通信ポートから受け取るための手段と、

直ぐには目標とする目的地へ伝送することができないメッセージ用のメッセージ情報を記憶するためのユニットと、

フロー制御信号をメッセージ発生元の装置に伝送して、この装置からの行われたメッセージの再伝送を禁止するための手段と、

メッセージがエラー状態に到達し、通信チャネルがメッセージを伝送する目的地へ向けに伝送可能となったときに、前記フロー制御信号の発生を停止し、前記メッセージ発生元の装置から行われたメッセージの再伝送を可能とする手段とを有することを特徴とするコンピュータ相互結合用プログラム。

40. 請求の範囲第39項に記載のプログラムにおいて、前記フロー制御信号内にメッセージを挿入して、前記フロー制御信号を受け取るデータ処理装置が、この装置から出力されるメッセージの再伝送が禁止されている間に、メッセージを受け取ることができるようにする手段を有していることを特徴とするコンピュータ相互結合用プログラム。

41. 内部通信ポートをそれぞれ有する多量データ処理装置間で

メッセージの伝送を行う方法において、

目標とするメッセージの目的地であるデータ処理装置を特定するアドレス・データを含むメッセージを、前記データ処理装置から発生させる工程と、

指定されたデータ処理装置によって発生したメッセージ用の一連の寄附目的地を記憶する工程と、

前記指定装置が発生したメッセージ内で実際に特定される目的地を前記寄附目的地アドレスと比較する工程と、

特定された目的地が前記寄附目的地の範囲に含まれるものであるときにのみ、前記指定装置から受け取ったメッセージを特定された目的地に伝送する工程と

を有する多重データ処理装置間のメッセージ伝送方法。

42. 外部通信ポートをそれぞれ有する多重データ処理装置間でメッセージの伝送を行う方法において、

目標とするメッセージの目的地であるデータ処理装置を特定するアドレス・データを含むメッセージを、前記データ処理装置から発生させる工程と、

源または目標とする目的地へ宛てて伝送することができないメッセージのメッセージ制御をキューイング処理する工程と、

フロー制御信号をメッセージ発生元の装置に伝送して、この装置から行列表されたメッセージの再伝送を禁止する工程と、

メッセージがキューの先頭に到達し、このメッセージを目標とする目的地に伝送可能となったときに、前記フロー制御信号の発生を停止して、メッセージ発生元の装置から行列表れたメッセージの再伝送を可能とする工程と

を有する多重データ処理装置間のメッセージ伝送方法。

43. 請求の範囲第42項に記載の方法において、メッセージを前

図 表 (内容に変更なし)

図 表
データ処理装置タスクに使用する
コンピュータ相互結合カブラ

(技術分野)

本発明は一般的にはコンピュータシステムの相互結合の分野に関するものであり、さらに詳しくは、コンピュータシステム内の各種のデータ処理装置間のデータ・パケットの伝送に関するものである。特に、本発明は、各種のデータ処理装置間でアドレスされたデータ・パケットの伝送を制御するためのコンピュータ相互結合カブラに関するものである。

(背景技術)

従来のデジタル・コンピュータ・システムは少なくともメモリ、入出力装置、及びデータ・プロセッサを備えている。メモリは、アドレス可能な記憶装置に構成される。この構成としては、コマンドおよびレジスタを含む、データ処理のためのデータおよび命令がある。データ・プロセッサは、メモリに対して情報の転送を行い、入力した情報にデータあるいは命令として翻訳し、また命令に従ってデータ処理を行う。入出力装置も、入力されたデータを格納し、出力された処理データを格納するために、メモリと接続されている。

典型的な小型のコンピュータ・システムは、中央処理ユニット、メモリ、入出力ユニットおよび電源を備えており、これらのユニット内の一様に取付けられている。このユニットはフレームを中心に形成されており、このフレームには、中央処理ユニット、メモリおよび入出力ユニット等のサブシステムが取り付けられるように配置されたスロットを形成しているラック、すなわち「カード・ケージ」が構成されている。図1aは右側の内側面に、

制御・制御信号内に挿入して、このフロー制御信号を取り取るデータ処理装置が、この装置から出力されるメッセージの再伝送が禁止されている間に、メッセージの受け取りが可能となるようにする工程を含むことを特徴とする多重データ処理装置間のメッセージ伝送方法。

カード・ケージの「前面」上の接続部に結合する端子が配置されている。この「前面」には水平に配列された多数の導体であるバスが配置されており、これらのバスは、多数の相互結合回路、基盤を電源に接続し、入出力ユニットを多数の入出力ポートに接続している。これらのバスによって、アドレスおよびデータ、コントロールおよび制御信号が伝送され、また電力供給および接地が与えられる。典型的な入出力ポートは、コントロール用のポートを備えており、またフロービ・ディスプレイ、テープ・ドライブ、高速プリンタあるいはハード・ディスク・ドライブ等の、高速入出力装置あるいは大容量メモリ用のポートを少なくとも一つは備えている。

回路技術の進歩によって、メモリあるいは入出力装置に對して非常に複雑な付加データ・プロセッサの使用が実用化されるようになっていく。この結果、典型的な中央処理ユニット用のユニット内においては、図1aに示す第1のデータ・プロセッサおよび中央メモリ用の第2のデータ・プロセッサが配置される場合があり、例えば、メモリの一部で入出力データのフォーマットあるいはバッファリングを行う一方で、メモリの他の部分でデータ処理が行われる。また、ユニットの外側にある中央処理装置用の入出力装置あるいは大容量メモリ装置では、データのバッファリングおよびセントラル・プロセッサからの高レベルのコマンドに答えて、装置を制御するために使用するデータ処理ユニットを少なくとも一つは備えているのが一般的である。

近年においては、計算能力およびデータ処理能力として、設備の中央処理ユニットによって実現される能力以上の能力が要求されるようになってきている。大規模シミュレーション等の特定用途に対しては、アドレス、データおよびコントロールのバスによ

って結合された多数のセントラル・プロセッサおよびメモリを備えた大型コンピュータによってのみこのような要求が満足されているに過ぎない。しかし、一般的な用途に対しては、異なる場所にも多数の一般的な非処理ユニット・入出力装置および大量メモリ装置が配置され、これらが相互に接続されて通信できるようにになっているコンピュータ・ネットワークを構築することの方がより経済的である。中央処理ユニットはそれぞれ1つ以上の大容量メモリ・ユニットを分け合っており、共通のデータ・バスに対するアクセスおよびその更新を行うことが一般的である。

ネットワークでのデータ処理装置間の通信に使用可能な各種伝送媒体は数多くあるが、民衆的な方法は、各種の要素を相互接続している通信リソース（すなわち、チャネルあるいはバス）を分け合って使用するものである。一般的に言って、シェア型バスを介しての二つの装置間の伝送動作には二つのステップが必要とされる。この理由は、各装置は同時に伝送を行う能力があるからである。第1のステップでは、既定のインターバルの間でバス・コントロールを取得する他のユニットを奨励する。第2のステップでは、バスを介しての信頼的伝送を行うためにユニット協働する。バス・コントロールの取得のためには、バス・アクセスを要求している装置のうちの特定のものを選擇するための選擇動作が必要である。この選擇動作には二つの一般的な方法が知られている。一つは「集中型」選擇であり、もう一つは「分散型」選擇である。集中型選擇においては、集中の重役先頭あるいは協働者がバス・アクセスの要求を受けて取り、ある時点で要求を出している装置のうちの何れのものに対して最も高い優先順位を付与して、バスの使用を許可するのを決定する。一旦、そのような装置が選択されると、バスの制御が可能となり、転送が可能となる。これ

に対して、分散型選擇においては、バスに接続されている各ユニットには特定の優先順位が割り振られ、各ユニットは個別に、バス・コントロールを取得したい場合には、それぞれがバス・コントロールを取得するために充分な優先順位を有しているか否かを判断する。優先順位の高いユニットが同時にバスへアクセスを要求している場合には、それよりも低い優先順位の装置は、自身が最も高い優先順位を有する要求となるときまで待機する必要がある。

分散型選擇では、「コリジョン・ディテクション」を備えた伝送技術多重アクセス（CSMA/CD）として知られており、同軸ケーブル等の単一のビット・シリアル・ラインを介しての多数の装置による伝送を可能にする。各装置は、チャネルをモニターすると共に、二つの装置が同時に伝送を行っているときを指示するための信号を検出している。伝送を行っている装置が、同時に別の装置が伝送を行っていることを検出した場合には、双方の装置は転送動作を中止する。しる後に、双方の装置はチャネルがクリアされた後に転送を再度トライする。

従来の同軸ケーブルによるシリアル・データ伝送ネットワークは「イーザ・ネット」として知られている。このイーザ・ネットは、最大1ノメガビット/秒で動作し、ネットワーク・セグメント上において最大1023のアドレス可能な装置を提供できる。このイーザ・ネットは、最も多数のタイプシリアルリンク端末を中央処理ユニットにリンクする場合に使用される。

個別のデータ処理装置間において、シェア型バスを介して高速の直接転送を行うためには、高速同軸、フィッパレーション、および高速度性のデータ伝送といった別の要求を満たす必要がある。これらの要求を満足するために、特別仕様のハードウェアおよび

通信プロトコルが用意されてきている。

離れた位置にあるデータ処理装置を結合する多重バスを介して並列に高速でデータ伝送を行うことは、伝送速度に制限があるために、ほとんど実用的ではない。また、高速な同軸化を行う必要があるために、アン・リターン・ツウ・ゼロのフォーマットでデータを伝送することは望ましくない。一本あるいは多数本のシリアル・データの流を、セグメントしたフォーマットあるいはセグメント・クロッキング・フォーマットで伝送することが望ましい。望ましいフォーマットは、マンシュスタ・エンコーディングであり、これはシステム・0の米国特許第4,592,672号公報およびシステム・0等による米国特許第4,593,372号に記載されており、これらの内容は本特許書に必要として組み込まれている。マンシュスタ・エンコーディングは伝送および伝送後成分が安定であるという利点もあり、この結果、エンコードされた番号は直ちに単一のアイソレーション・トランスフォーマを通過することになる。

シェア型データ・バスを有するコンピュータ・ネットワークにおいては、請求のデータ伝送を行うことが特に重要である。このような場合、データ・バスの更新中におけるどのような割り込みも、発生するおそれのあるエラーを回避するために、要するセントラル・プロセッサによって検出される必要がある。またこのような割り込みは、他のセントラル・プロセッサが単一要求された使用されないデータを使用することの代わりに、メモリ・サブによって検出される必要がある。

異なる装置データ伝送を行うための通信プロトコルは、シミュレーションによる米国特許第4,590,985号公報に開示されており、この内容は参照としてここに組み込まれる。因明は、各データ側

は装置がシェア型チャネル上でほぼ等しいアクセスの機会を得るように、但し、すなわち「円形ロビン」に基づき行うことが望ましい。チャネル上にキャリアが存在しないことは、データ処理装置がアクセスを取得しようとしたことを示している。同様タイプは、一定の期間内にキャリアが存在しなかった場合に伝送が失敗したことを示す。データ・パケットの破壊あるいは他の伝送エラーは、定期的な冗長度チェック等のエラー検出コードによって検出される。

データ処理装置が直接にデータ・パケットを受け取った場合には、アドナリジメンツ・コードを割り当て伝送することによって、そのパケットを受け取ったことを両者に通知する。データ・パケットが受け取られると、処理された時には、ポリアップ・アドナリジメンツ・コード（ACK）が戻される。送信パケットが正確に受け取られたもの、転送することお出されなかった場合には、ポリアップ・アドナリジメンツ・コード（NACK）が戻される。異常な場合には、このACKタイプ・アドナリジメンツ・コードは、受け取ったデータ・パケットがデータを利用出来ないために処理できず、戻って、受け取られたデータが破壊されたことを示している。

アドナリジメンツ・コードの伝送を行うための順序は不変である。それは、受け取られたデータ・パケットのキャリアが伝送チャネルから除去されると同時にこのコードは伝送されるからである。アドナリジメンツ・コードの伝送は一定の期間内に終了しなければならない。この一定の期間の経過後は、他のデータ処理装置が選擇動作および別個のデータ・パケットの伝送を開始する可能性がある。

データ処理装置が、データ・パケットの伝送後直ちにアドナリ

ッジメント・コードを復取らなかつた場合には、再伝送を予め定めた回数まで連続して試みる必要がある。同時に、エグゼキューション・リッチメント・コードを受け取らなかつた場合には、それよりも過半数多い回数だけ再伝送を試みる必要がある。デッドロックを打破するために、データ・パケットが再伝送可能な場合には、固定無効的な判別である「既知ビット」判別を行う必要がある。この判別結果が「真」ならば、再伝送が試みられる。この判別結果が「偽」であるならば、データ処理装置は一定の遅延期間の間待機して、判別結果を繰り返す。この遅延時間としては、例えば、データ処理装置の全てがチャネルをアクセスするために必要な最小時間は確保必要である。換言すると、全てのデータ処理ユニットが所伝送を試みようとしている場合には、送信の成功および再伝に必要とする時間の間に、データ・パケットの伝送およびリッチメント・ワードの再伝送を行うことのできる時間がなければならぬ。

上記とは別の伝送チャネルが、遠隔におよび高信頼性および高速度を確保するために必要である。ストレージからの異因特許4,190,785号に開示されているように、全てのチャネルが等しい可能性を有している場合には、ランダムに別のチャネルを得よう必要がある。チャネル選択のクスタは、別のチャネル間で分配使用されるインターフェース回路によって行われる必要がある。

上述した伝送回路を使用するデータ処理装置を結合するために、一方向には、装置のクスタを直接に、各装置用の別個のワイディングを各々の中央に配置する一方向の線路トランスフォーマーに接続する。各トランスフォーマーによって、データ処理装置を相互結合しているシュワッチャネルが形成され、トランスフォーマーが中央位置にあることによって、伝送遅延が極大に減少さ

するための段階的に構築できる能力を備えたこのような改善されたコンピュータ相互結合用プログラムを実現することにある。

本発明の第1の目的は、内部故障が発生したときにデータ伝送を停止し、この内部故障を診断して欠陥のある回路を分離すると共にこの回路を特定することの可能となった、このような改善されたコンピュータ相互結合用プログラムを実現することにある。

本発明の第2の目的は、欠陥のある回路部を断たないあるいは修理した回路部と交換するまで、修復された完全な回路部が修復中に、データを解読して欠陥回路部からのデータの復元を捜索する必要があるように、改善されたコンピュータ相互結合用プログラムを形成することにある。

これらの目的およびその他の目的を達成するために、コンピュータ相互結合用プログラムは、多数の経路回路の各チャネルを相互接続するための複数の選択ジャンクタを有している。このコンピュータ相互結合用プログラムは、利用可能なジャンクタを選択することによって、アドレスを再伝送で、ファースト・カム・ファーストの優先順序を有している。ルート指定手続きを発生データ・パケットの頭部を保持するために、メッセージの最初の部分は、このルート指定手続きを実行するのために必要な時間の間に、ファースト・イン・ファースト・アウト・バッファ内に格納される。

バッファ容量の制限による実用上の制約に起因して、ビジー状態のチャネル間のメッセージの受け取りは禁止しなければならない。これらのメッセージを再伝送で、ファースト・カム・ファースト・カム原則に基づいてルート指定できるようにするために、目的チャネルのビジーでなくならないように、メッセージをビジー状態のチャネルに送る要求を、目的チャネルに割り当てた各ファースト・イン・ファースト・アウト・キュー上に出す。しかし

も、しかし、このようなコンピュータの相互結合用プログラムでは、伝送バンド幅が制限され、あるいはシェパードチャネルのスケジューリングに制限があることに起因して、排他性による経路の制限がある。データ処理装置が中央トランスフォーマーに対して追加して相互結合された場合には、各パケットに比例してその伝送バンド幅のシェパードが狭くなってしまふ。よって、データ処理ユニットを追加して相互結合するためには、多数のチャネルを介して同時に伝送が行われるように別個のチャネルを追加する必要がある。しかし、この場合、各データ処理ユニットに対しては、ポートおよびインターフェース回路を追加する必要がある。さらに、これらのポートおよびインターフェース回路は同一のものとしておこなうことはできない。これは、追加した手段は、伝送路の特定のポートを選択し、ポートのうちの特定のものをから入力されるデータを受け取るために必要とされるからである。このような修正を既述のコンピュータ装置上に施すことと決して望ましいことではない。

(発明の要約)

本発明の第1の目的は、排他性およびビジー種が改善され、しかも既述のコンピュータ装置に対して実質的な修正を施すことの必要としない改善されたコンピュータ相互結合用プログラムを実現することにある。

本発明の第2の目的は、相互接続された装置のクスタ構造を容易に変更できるようにしたこのような改善されたコンピュータ相互結合用プログラムを実現することにある。本発明のこの目的に関連した目的は、互にチャネルを得たこのようなプログラムを構築して、各互にチャネルに対して上記のクスタ構造を構築し一貫させるようにすることにある。

本発明の第3の目的は、コンピュータ装置を追加して相互結合

後に、目的チャネルは決定されていない各チャネルへのアクセスの要求の命令リストを記憶する。一旦、チャネルがビジー状態になくになると、チャネルは一時的にキューの先頭位置において、最も古い要求を満足するために保持される。再伝送メッセージにルート指定された時に、あるいはその決定した時間が経過した時点で、このキューの先頭位置の要求はキューから除去される。

目的チャネルが利用可能なとき、満たされていない先の要求が実行されてしまふまでの時点で発生して、ルーティング回路が修正されたメッセージの再伝送を行うことによって失敗を受けずに、1フレーム・コントロール・信号がソース・チャネルからデータ処理装置へ伝送される。これによって、このソース・チャネルからのキュー要求はキューの先頭位置に置かれた時に目的チャネルが一時的にソース・チャネル内にリブローされるようにするまで、再伝送が禁止される。

選択したチャネルへのアクセスを制限し、予め指定したチャネルから発生したメッセージが制限されたアクセスのチャネルにルート指定されるようにするために、相互結合用プログラムは、予め決定した1組のソース・チャネルおよびそれらの経路の目的チャネルを格納する。目的チャネルにアドレスされているソース・チャネルからのメッセージのルーティングは、ソース・チャネルが少なくなくともこれらの1組のソース・チャネル内に含まれたものであり、かつ、アドレスされた目的チャネルが対応する目的チャネル内に含まれていなくてもある場合にのみ、可能である。このポートの「パーチャネル・スグ・カブリング」によって、不正にアドレス付けされたメッセージあるいは許可されていないメッセージの伝送が禁止され、これによってデータ処理装置の一貫性、効率、および安全性が向上する。

コンピュータ相互結合用カプラの伝送能力の大幅な改善は、一対のカプラを設置することによって達成される。これらのカプラは、相互にリンクされて、パッチパネル・スター・カブリッジの構造に一致した配置態様を確保し、またシステム内で相互結合されたデータ処理装置において発生し得る故障について迅速な検出に互いに配分される。システムの信頼性は、各カプラに故障電力を付与することによってさらに改善される。これによって、内部欠陥が検出されて修理されることになる。修理の迅速が容易にでき、再設置されるまえに欠陥のある回路が適切に修理される確率を高めるために、欠陥回路に関する内部診断情報、欠陥回路の回路基板上の不具合をメモリ内に記憶させる。この結果、この情報は欠陥回路と共に修理施設に実際に送られることになる。

本発明の他の目的および利点は、以下の詳細な説明を読み、添付図面を参照することによって明らかとなる。

(図面の簡単な説明)

- 第1図は、従来形式の多数のデータ処理装置を相互結合するための本発明の好適な実施例の使用を示す概略図である。
- 第2図は、どのようにしてメッセージジョグを介してソース・チャネルから目的チャネルに対してルート指定されるかを示す共に、診断のためにどのようにして内部メッセージジョグを介してルート指定されるのかを示す概略図である。
- 第3図は、実施例の回路を好適に回路基板上に配置する方法およびジョグ型パターによる回路基盤の相互結合の方法を示す概略図である。
- 第4図は、ソース・チャネルからのメッセージを目的チャネルにルート指定するために使用するコントロール・バス、および診断プロセッサとメッセージのルート指定を行う回路との間の結合

を示す概略ブロック図である。

第5図は、発生源のポートから目的先のポートへのメッセージのルーティングおよび目的ポートからのアクリビティメント・コードの返却を示すタイミング図である。

第6図は、コントロール回路、コントロール信号、現在の論理状態および相互結合用カプラの構成を記述するメモリ、および実行状態を後述する各種のタイマ、および外部に示す概略ブロック図である。

第7図は、サービス要求が同一優先レベルにある場合における優先的待ち優先順位制御法を示す概略図である。

第8図は、サービス要求が高い優先度の値と低い優先度の値とに分断され、各断片において発生した同時要求を確保するために断片の順序断片が配置されている二重優先順位法を実施するための論理回路を示す概略図である。

第9図は、プリアリビティ・リング・エンコードを示す概略図である。

第10図は、パッチパネル・スター・カプラがどのようにして、一組の目的チャネルを持ったソルチングの組として規定されるのかを示す図である。

第11図は、第4図の複数のパッチパネル・スター・カプラの定義情報を記述し、特定のソース・チャネルから特定の目的チャネルへのメッセージのルート指定を可能にする信号を発生するメモリ/論理回路を示す。

第12図は、コンピュータ相互結合用カプラを介して伝送されるメッセージ用の特定なフォーマットの一例である。

第13図は、マルチスタ、デコーダおよびキャリヤ検出ロジックを有するシリアル・パラレル・コンピュータを示す概略図である。

る。

第14図は、メッセージ・シフトロジックおよびレシーバ・コントロール・ロジック用のサイクル・カウンタの概略図である。

第15図は、メッセージのルート指定要求を発生するレシーバ・コントロール・ロジックの概略図である。

第16図は、メッセージ・キューイング用のレシーバおよびトランスミッタ・ロジックの概略図である。

第17図は、ファースト・イン・ファースト・アウト・バッファを用いたスイッチ・マリッジのインタフェース用の論理回路の概略図である。

第18図は、スイッチ・マトリックス用および信号受け取り用の論理回路の概略図であり、上記の信号は、トランスミッタおよびレシーバに対してジャンクが割り当てられたか否かを指示すると共に、割り当てられたジャンクのエイデンティフィケーション番号を示す。

第19図は、レシーバをジョグに接続するための好適なスイッチング回路の概略図である。

第20図は、ジャンクをトランスミッタに接続するための好適な回路の概略図である。

第21図は、ジャンクのリザーブおよびドロップ用のサービス要求を発生するレシーバ・ロジックの概略図である。

第22図は、レシーバへのジャンクの割り当て変更を検出するレシーバ・ロジックの概略図である。

第23図は、トランスミッタ・コントロール・ロジックの概略図である。

第24図は、メッセージのルーティング、ジャンクのリザーブおよびドロップ、メッセージのルーティング要求のキュー

イングおよびドロップのためのサービス要求を制御する中央スイッチ・ロジックの概略図である。

第25図は、中央スイッチ・ロジックで処理される第2プライオリティ・デコーダの概略図である。

第26図は、ルーティング要求が可及であるか否かを判別する中央スイッチ・ロジックの概略図である。

第27図は、中央スイッチ・ロジックによって、ジャンクのリザーブおよびドロップ用の要求を出すためのコンビネーション・ロジックの概略図である。

第28図は、中央スイッチ・ロジックによって、メッセージのルーティング要求のためのコンビネーション・ロジックの概略図である。

第29図は、メッセージをルーティングするために中央スイッチ・ロジックによって使用されるコンビネーション・ロジックの概略図である。

第30図は、メッセージ要求をドロップするために、中央スイッチ・ロジックによって使用されるコンビネーション・ロジックの概略図である。

本発明は、多岐にわたる変更や修正が可能であるが、特定の形態を例示して以下に詳細に説明する。しかしながら、本発明はここに開示する特定の形態だけに限定するものではなく、本発明は、特許請求の範囲に規定する精神及び範囲内に含まれる全ての形態、等価物、そして変形も開示するものである。

第1図は、本発明の主要な特徴を結合したコンピュート相互結合用カプラ（一般的に50で示す）の使用例を示すものである。高い信頼性を得るために、カプラ50は、例えば、流フォイバリング53によって互いに接続された2つの同一のカプラ

一5と52とによって形成されている。リング53は、カプラー51、52のいずれかによって受け取ったオペレータ要求により状態が変化するときにカプラー51及び52の構成が同一の状態に維持されるよう構成される。カプラー51と52は、これらによって相互接続された多数のデータ処理装置の接続及び取りえる構成不良についての検出を促進するためにリング53を使用することもできる。これらデータ処理装置は、中央処理ユニット54、55、56、57、58と、組立タイプドライバ61、62、63のためのサーバ59、60と、大費データ処理装置即ちディスクメモリ64、65、66、67、68、69とを含む。通常のケースでは、中央処理ユニット54ないし58は、高速度プリンタ74、71または低速度プリンタ72、73そして多数の終端ターミナル（図示せず）、コミュニケーション装置（図示せず）及び両方に特定の装置（図示せず）に直接リンクされている。

コンピュータ相互結合系カプラー51、52は、データ処理装置54〜60を列々の場所、例えばビルディングの両端に設置できるようにする。さらに、カプラー51と52は、システム内のいずれのデータ処理ユニットも、システム内の他のいずれのデータ処理ユニットに、アドレスされたデータパケットを送れるようにする。その上、カプラー51と52は、1つのデータ処理装置から別の処理装置へメッセージを送信するように構成又はプログラムすることができ、それはソースデータ処理装置及び行き先データ処理装置の各チャネルがシステムに対して定められた少なくとも1つの「仮想スターカプラー」に関連した予め定められたソースチャネルセット及び行き先チャネルセットに各々含まれる場合においてのみである。従って、コンピュータ相互結合

系カプラー51、52は、あるデータ処理装置へのアクセスを制限し、ある方向のみのデータ転送を許可し、そして確定的な移向のために、メッセージが最初にあるデータ処理装置に達せられた場合にのみそのメッセージを別のデータ処理装置にルーティングできるようにする。

これ以降の図面に示された特定の実施例によれば、それぞれのカプラー51、52は2段データクロスバースイッチで、これは、8個の独立した相互接続可能なジャンクタを構成するものが好ましい。各ジャンクタは、両方向性で、1秒間に70メガビットのデータを転送するものが好ましい。それぞれのカプラー51、52は、少なくとも64チャネルを相互接続できるものが好ましい。カプラー51、52に接続されたチャネルは、総体的に、8つ程度の仮想スターカプラーに分けることができ、そしてチャネルに接続されたデータ処理装置は、配線直すことなく1つの仮想スターカプラーから、別の仮想スターカプラーへと物理的に経路的に移動できる。

第2図は、ソースチャネルXから行き先チャネルYまでのメッセージをルーティングすることを示す簡略図である。チャネルXは、インターフェイス回路82をリート位置のデータ処理装置と相互接続する通信ケーブル81によって定められる。同様に、チャネルYは、別の通信ケーブル85を通して他のリモートデータ処理装置と相互接続されるインターフェイス回路83を有する。

原則上、チャネルXのためのインターフェイス回路82は、チャネルYにアドレスされるデータパケットを含むメッセージを選択ケーブル81を通して受け取ることを要する。それ故、このメッセージの目的として、チャネルXはソースチャネルXとし

てチャネルYは行き先チャネルとなる。このようなメッセージを送信するために、それぞれのチャネルには独特のチャネル番号が指定される。

メッセージをルーティングするために、メッセージの最初の部分が入インターフェイス回路82から受信ロジック回路84へと送られる。受信ロジック回路84はルーティング要求を発生し、もしこれが無視されること、複数のジャンクタ85の1つが受信ロジック回路84に指定される。この指定により、スイッチマトリクス86の特定のスイッチが閉じ、そして受信ロジック回路84が指定のジャンクタに接続される。図2に示されているように、例えば、受信ロジック回路84はスイッチ89を閉じることによってジャンクタ85に接続される。

メッセージをそのアドレスされた行き先チャネルにルーティングするには、更に、その指定のジャンクタ85が、行き先チャネルに関連した送信ロジック92に接続される必要がある。このため、送信ロジック回路92は、スイッチ91を含むスイッチマトリクス93によってジャンクタ85に接続され、そのスイッチ81は、これが閉じると、ジャンクタ85を送信ロジック回路92に接続する。スイッチマトリクス87、88内のスイッチが要求される状態は、ジャンクタ回路93を通して送られる制御信号によってセッティングされる。この制御信号は、送信ロジック回路92によっても受け入れ、リングが確立されたことを示す。メッセージがジャンクタ86の1つを通して伝達されたことを示す。メッセージを発生したと、送信ロジック92は、メッセージをチャネルインターフェイス回路83に送り、通信ケーブル85を通してアドレスデータ処理装置へ送るようになる。

メッセージを受け取ること、アドレスされたデータ処理装置は、

ソースデータ処理装置に確認信号を送送する。この確認信号は、通信ケーブル85を通過して返送され、インターフェイス回路83に達され、そして対応する受信ロジック回路84へ送られる。受信ロジック回路84が元のメッセージの送信をえたときに伝達される確認信号の受信を予知する際に、ジャンクタ制御バス93を経て制御信号を発生させ、これにより、スイッチ89及び91を閉鎖そしてスイッチ95及び98を閉じ、チャネルXに関連した受信ロジック回路94と、チャネルXに関連した送信ロジック回路97との間に接続を確立する。返送される確認信号は、送信ロジック回路97により、チャネルXに関連したインターフェイス回路82へ送られ、最初にメッセージを出したデータ処理ユニットへ返送される。

相互接続カプラー51内の回路をテストするために、相互接続カプラー52は要に制御及び制御ロジック98を備えており、このロジックは制御信号を発生し、これらはジャンクション制御バス93に送られて、選択された1つのチャネルの受信及び送信ロジックを適る「選択」ループを確立する。制御及び送信ロジック98は制御メッセージを発生し、これは、診断スイッチマトリクス98を通してジャンクタ86の1つに送られる。このため、例えば、スイッチ89、91及び95が閉じられそしてスイッチ98が閉じられる。さらに、スイッチ100が閉じ、制御及び送信ロジック98が送信ロジック98をジャンクタ98に接続し、これにより、送信ロジック97への送信経路を確立する。制御及び送信ロジック98は、ジャンクション制御バス93を経て制御信号を発生し、スイッチ101及びスイッチ102を閉じて、送信ロジック回路84から制御ロジック98へ返送経路を確立する。それによって、全ての内部回路が保守ループ103によって閉じられ、送信

ロジック7から受信ロジック84までの信号線路を形成する。

例えば、送信ロジック87及び受信ロジック84は、インターフェイス回路から切断され、受信ロジック84及び送信ロジック87の動作がスイッチマトリクス87を通してジャンクタ85に接続されたときに保持モード103を通して相互接続される。送信されたデータメッセージと、受信されたデータメッセージを比較することによって、割当て及び断続ロジック88は、スイッチマトリクス87を制御する際のエラー、又はスイッチマトリクス87、受信ロジック84又は送信ロジック87の不適当な動作を検出することができる。これらのエラーは、制御サーマル105を通してシステムレベル104に知られる。

第3図は、第1図の相互接続プログラムの又は52の1つを形成する種々の回路要素の間である。回路基板は、中央処理ユニットに使用される種々の通信のカードケジに取付けられ、その回路基板は、通信の電気接続111によって動作される。例えば、この実施例における電源、ロジック及び送受信器は、デジタル・インテグレーション・コーポレーションの"MAX 8000/8500"中央プロセッサに提供されているものと同等のものである。しかしながら、カードタイプの"バックプレーン"を代表して、第3図に示すように、多数のバスで回路基板を相互接続することもできる。

51で一般的に示された制御的なコンピュータ相互接続スイッチは、少なくともコンピュータ及び制御プロセッサのための回路811を備え、これは、第1図の割当て及び断続ロジック88を構成するものである。制御プロセッサ112は、例えば、デジタル・インテグレーション・コーポレーションの"DRP-11"をベースとするプロセッサである。制御プロセッサに関連して、一の

フロッピーディスクドライブ113、光ファイバリンク53、そして同様にデジタル、オプションのハードドライブ及び制御バスへのリンクがある。又、制御プロセッサ112は、制御プロセッサ間のプログラムメモリ113及びデータメモリ115を含むメモリボード114に関連している。プログラムバス117は制御プロセッサをプログラムメモリ115にリンクし、そしてプロセッサデータバス118は、制御プロセッサとデータメモリ116とをリンクする。

本発明の機能によれば、メモリボード114は、更に、スイッチルーティングボリシールレベルの情報を記憶するスイッチ制御メモリ119を含む。この情報は、例えば、システムの拡張ステータスプログラムを定義したもののマスタートラックを含み、そして異常なまたは不適切な動作後始動がコンピュータ相互接続プログラムのロジック回路に起ることを検出するための割当てタイマーの時間間隔を定めるデータも含む。制御制御バス120は、スイッチ制御メモリ119と制御プロセッサ112をリンクするために提供されている。制御制御バス120は、制御プロセッサがボリシールレベル情報を中央スイッチロジックにダウンロードできるようにし、このロジックは、スイッチマトリクスを制御することにより選択されたジャンクタを通じてメッセージをルーティングする。中央スイッチロジックは、スイッチ制御ボード121に含まれ、このボードは制御スイッチマトリクスを含む(第2図9)。ボリシールレベル情報をダウンロードしては制御スイッチマトリクスをセットするために、制御プロセッサ112は、中央スイッチロジックに問い合わせ又は制御コマンドを送り、以下に詳しく述べるように、中央スイッチロジックのメモリ及びレジスタをアドレスできるようにする。

又、断続及び制御バス121は、スイッチ制御ボード121及びチャンネルインターフェイスボード122、123に含まれた電気的に通信可能で且つプログラム可能なメモリ(BEPRAM)に制御プロセッサ112をリンクするの用に用いられ、これは、欠陥のある回路基板が修理のために取り替えられる前にこの欠陥回路基板に断続情報を送達するためである。その他、欠陥が検出されたものはシステムの状態及び形態のような断続情報も、断続と書くエラーラップは、欠陥回路基板と共に修理店へ送られる。このことは、欠陥のある回路基板が送られたときに、その回路基板の全ての欠陥を適宜に修理する見込みが高くなるように断続板に対してより完全な修理を確保する。各回路基板のBEPRAMは、断続情報と共に、断続板の断続情報、例えば、その回路基板の形式又はそれによって行われる修理、回路基板のシリアル番号、回路基板の製造年月日と場所、及びその製造機の修理経過を含むのが好ましい。

両端のチャンネル数をある最大数まで受け入れるようコンピュータ相互接続プログラムの51を強化し記憶するために、コンピュータシステムに相互接続されるべき各回路基板のデータ処理情報の各々に対してチャンネルインターフェイスボード122が設けられる。好ましくは、チャンネルインターフェイスボードは、各回路のチャンネルに対するインターフェイス回路と共に、それに関連した受信ロジック、送信ロジック及びスイッチマトリクス回路を含んでいる。スイッチ制御ボード121の断続スイッチマトリクスは、ジャンクタ88によりチャンネルインターフェイスボード122のスイッチマトリクスにリンクされ、ジャンクタは、システムに取り付けることのできる他のチャンネルインターフェイスボード123のスイッチマトリクスにまで属している。スイ

ッチマトリクスのスイッチをセットしたりリセットしたりするために、スイッチ制御ボード121は、ジャンクタ制御バス93を通じて、チャンネルインターフェイスボード122、123にリンクされる。

チャンネルインターフェイスボード122、123がスイッチ制御ボード121の中央ロジックヘルムユニットまたは持ち手判別要求を送信するようにするために、これらのボードは、スイッチ制御バス124を通してリンクされる。又、スイッチ制御バス124は、回路番号を運送したり、流れ制御信号をスイッチ制御ボード121からチャンネルインターフェイスボード122、123へ送るのにも使用される。その上、チャンネルインターフェイスボード122、123は、断続制御バス120にもリンクされて、制御プロセッサ112がチャンネルインターバルのような情報を発信及び送信ロジックにダウンロードできるようにすると共に、制御プロセッサがカウンタ、レジスタ、送信及び受信ロジックの状態について質問できるようにする。

コンピュータ相互接続プログラムの動作中に、スイッチ制御ボード121及びチャンネルインターフェイスボード122、123の間接によって種々の警告またはエラー状態が発生される。制御プロセッサがこれらの状態検出を解釈し確認できるようにするため、断続制御バス120はスイッチ制御ボード121とそれらのチャンネルインターフェイスボードに対して各割り込み要求ラインを含んでいる。制御プロセッサ112が割り込みされると、これは、割り込み要求を備えているボードのエラーラッチレジスタをアドレスする。

回路811、122、123を取り付けたり取り外したりするときにコンピュータ相互接続プログラムの動作を容易にするため、

個々の状態ノタリアドレス125が設けられており、これは、診断プロセッサがカードケイビの各スロット（図示せず）をポーリングして、故障状態の付けられているかどうかの情報を得るに用いられ、そしてもしそうならば、高階級の形式と、それに関連したチャンネル番号を示す情報を得られるようにする。状態ノタリアドレスは、例えば、診断プロセッサ112から四階級の各スロットへ送る診断のイエールライン及び制御のタリラインを含む。イエールラインは、診断機が状態ノタリから状態バスに付着した状態コードを送信できるように順次動作される。タリラインは、診断プロセッサがそれぞれの四階級121、122、123を検査ししリセットで終わるようになる。

コンピュータ相互接続アラームは、更に、トラフィックデータ伝送ポート126を含む。これはトラフィックデータ制御バス127を通じて診断プロセッサ112とリンクされている。トラフィックデータ制御ポートは、例えば、各ジャンクションを経て送られる各チャンネルから発生される又又はそこに送られるメッセージの開始部を記憶するアドレス可能なカウンタを含む。

第4図は、19-4年図解図の重要な制御回路を含むコンピュータ相互接続アラームの概略ブロック図である。チャンネルインターフェイス回路81は、送信ケーブル1に接続されたライン受信器132及びリジッドドライブ133を含む。送信ケーブル81は、例えば、フィードバック回路（図示せず）を経てライン受信器132及びリジッドドライブ133に各々接続された一組の同軸ケーブルから成るが、ライン受信器132及びリジッドドライブ133に接続された一対の光ファイバラインから構成されるもよい。同様に、他のチャンネルインターフェイス回路83も、送信ケーブル83に接続されたライン受信器136及びリジッド

ドライブ137を含む。ライン受信器133を駆動するリジッドドライブ133は、毎秒ループ103を形成するようにスピンで各マルチプレクサ138を通してそれぞれの送信及び送信ロジック84、87に提供される。他のチャンネルインターフェイス回路83も同様のマルチプレクサ149を含む。

送信ケーブル81、85を経て送信及び受信されるデータは、マルチタスクエコーディングのような自己変調変換又は自己クロックフォーマットを置いて直列ビット流として送られるのが好まれる。データ流は、例えば、1秒当り70メガビットである。直列ビット流中のクロックが回復され、そしてデータビットはマルチタスクエコーディング及び復調/並列コンバータ141によって8ビット/バイトに译換される。回復統計を導出するため、共通の内部クロックを置いて全てのチャンネルからのデータが処理される。それ故、同期回路142は、データビットを内部クロックに同期させるようにデータビット流を選択的に译換させるのに用いられる。同期されたビットは、先に失われたパケット143に送り込まれ、メッセージのルーティング中に一時的な記憶が入れられる。受信制御ロジック84は、メッセージのヘッダから行先アドレスを得る。又、受信制御ロジック84は、ヘッダが所定のフォーマットに合っているかどうかを決定し、もしそうならば、受信制御ロジック84は、メッセージをマルチプレクサ144のサービス要求を中央スイッチロジック145に送る。

予め定められた優先度スケジューリングのために従ってメッセージルーティングできるようにするために、中央スイッチロジック144は、行先アドレスと、ソースチャンネルに対して定められて中央スイッチロジック145に記憶された1組の所定の有効行先アドレスとを実際に比較する。もしメッセージが許可されない

アドレスにアドレスされると、中央スイッチロジック144は、そのメッセージをルーティングするためのサービス要求を生成する。さもなければ、中央スイッチロジック144は、ジャンクがフリーであるかどうかを判断すると共に、行先チャンネルの記憶装置又は受信器がビジーであるかどうかを判断する。もしジャンクが使用可能で、行先チャンネルがビジーでなければ、メッセージがルーティングされる。そうでない場合には、メッセージのルーティング要求は「行先待ち行列」中に入れられ、行先チャンネルがもうビジーでなくなったとき、その要求が満たされるようになる。

メッセージ要求が待ち行列に入れられるときは、パケット143のメッセージを選択することができ、これは廃棄される。メッセージを送信できるまで全メッセージを記憶するに充分な記憶装置を設けることができるが、これは必要とされず、過剰消費のメモリと付加的なロジックの増設が要求される。更に、後で送信するように全メッセージを記憶することによりメッセージ送給プロセスの完全性が得られる。というのは、行先データ相連装置による送信を直ちに検出できないからである。これに對し、本発明の好ましい実施例によれば、メッセージの開始のみが一時的に記憶され、それにより、メッセージ受信の確認は若干遅延されるだけである。コンピュータ相互接続アラームはデータ処理装置に對して比較的過渡的であると考えられる。

行先チャンネルがビジーであるためにメッセージ要求が待ち行列に入れられたときにもソースチャンネルに接続されたデータ処理装置がメッセージを送信しないようにするために、それらに對する流れ制御信号がソースチャンネルに送られ、メッセージが待ち行列に入れられたことを受信制御ロジック84に指示する。

又、この流れ制御信号は、ソースチャンネルに関連した送信器を動作し、流れ制御信号を元のデータ処理装置へ送還する。受信の際には、流れ制御信号により、データ処理装置は、中央スイッチロジックが行先アドレスのチャンネルがビジーメッセージを傳達しないと判断して待ち行列に入れられたメッセージ要求を行先待ち行列の優先度に関わるまで再送信を待たないように停止させ、これらの条件が満たされると、中央スイッチロジック144は流れ制御信号をオフにし、ソースチャンネルのデータ処理装置がメッセージを再送信するようにする。

ジャンクが利用できないためにメッセージルーティング要求が待ち行列に入れられた場合には、流れ制御信号が送られず、ソースチャンネルのデータ処理装置は、メッセージを再送信できるように命令を自由で再送信を行なう。中央スイッチロジック144は、メッセージをルーティングできるようにすると、ジャンク制御バス93に信号を送って、フリージャンクがソースチャンネル受信器及び行先先チャンネル送信部に指示する。ジャンクが指定された場合には、スイッチマトリクス87、89のチャンネルが同じられ、受信制御ロジック84及び送信制御ロジック82は、指定のジャンクに對してメッセージを送信及び受信すべきであることが信号される。送信の際に、受信制御ロジック84はメッセージの開始部にタグを追加し、タグが指定のジャンクを経て送られると、メッセージがパケット143からクロックされて送られる。タグは、指定のジャンクと、ソースチャンネル及び行先チャンネル間を識別する情報を含んでいる。送信制御ロジック92は、タグを決定し、タグが間違っている場合にメッセージの送信を中止する。さもなければ、タグが間違えられ、メッセージの開始部にビット同期ヘッダが追加される。次いで、

ヘッドは、次の期間及びアーダムチレクタ 145と、兼用ノ
道同コンピュータ及びマニフェスタエコード 147を経て送られ、
行き先データ相対位置へ列別送りに転送される。

メッセージ送信の時に、送信制御ロジック 143は、パツパ
143が空であることと通知し、スイッチマトリクス 147、148
のスイッチの状態を要する要求を中央スイッチロジック 144に
送り、指定のジャンクタに対してデータの転送を通知させる。次
いで、行き先データ相対位置からの線路は指定のジャンクタを移
て送られ、フォーマット処理後へ送られる。送線の送後後、
指定のジャンクタが満ちるとする。

送線メッセージのルーティングも同様に行なわれるが、コンソ
ール及び診断プロセッサ 112は、送線及び受信ロジックを含む
診断メッセージ制御ロジック 143に接続されたパツパ 143
を経て診断メッセージを送信及び受信する。

第5図には、メッセージが送線されてルーティングされるので
対応する線路が送線されたことに依り一時制御信号のタイム
ング図が示されている。コンピュータの相互接続のアドレス、RESET
信号により制御状態にセットされる。RESET信号がインタ
フェースになった後に、ソースチャンネルXの受信器は送線ケー
ブル 11から入ってくるキャリヤを認識する。キャリヤを定つた
と、受信は、INTERNAL MESSAGE信号によって指示されるメッセ
ジの開始を知らせる文字同期コードを認識する。チャンネルXは、
メッセージの最初の部分を処理し、次に、ROUTE MESSAGE信号を
中央スイッチロジックに送信する。中央制御ロジックは、これに
応答して、JUNCTION ASSIGNMENT信号により指定されたチャンネルX
受信器にジャンクタを指定する。

文字同期コードが受信されたときから、メッセージがパツパ

143にクロックされる。ジャンクタが指定されるまで、プレ
フィックスデータがジャンクタに待って送線される。次いで、メッ
セージがパツパ 143からクロックされて出される。ジャンクタ
を運るメッセージの送線は、金メッセジがチャンネルX受信器
によって送線されたことが INCOMING MESSAGE COMPLETE信号によ
って指示された後にも続けられる。パツパ 143が空になって、
金メッセジがジャンクタを経て送線されたことを待受するも、
チャンネルXの受信器は、REVERSE PATH要求を中央スイッチロ
ジックに送る。ジャンクタに合った線路が接続すると、チャンネル
Xの受信器はメッセージの処理を完了する。

ジャンクタに合った線路を接続することにより、ジャンクタは
チャンネルXの送信器に指定され、これはJUNCTION ASSIGNED TO
TX OF SOURCE信号によって指示される。ジャンクタがチャンネ
ルXの送信器に指定されると、送信器が作動され、チャンネルXの
送信器はそれ以上のメッセージを送信しないように禁止される。
同時に、チャンネルXの送信器からチャンネルYの送信器へジャン
クタを送るメッセージが送られる間に、チャンネルYの送信器は、
ジャンクタがチャンネルYの送信器へ指定されたときに作動
される。

ジャンクタを経て送られるメッセージの最初の部分は、メッ
セージの形式を指示コードを含むヘッダバイトを構成している。ジャン
クタからの送線の間に、メッセージが肯定 (ACK) でもない
又は否定 (NAK) 確認でもない場合には、Yチャンネル受信
器及び送信器の回路は ACK/NAKモードに入られ、これは、
信号の送線後に、チャンネルYの受信器が行き先データ相対位置
からの確認を予想すべきであることを指示する。特に、チャン
ネルYの送信器からメッセージを最初に送線した後のある時間中に、

チャンネルYの受信器が確認を予想すべきであり、そしてその確
定の送線の間に、既に指定されたジャンクタが確認の送線に指定
されているために、チャンネルYの受信器がメッセージのルーテ
ィング要求を必要としないことをソースチャンネルYの受信器に指示
する。又、ACK/NAKモードは、メッセージ処理の完了の際に、
REVERSE JUNCTION要求ではなくて DROP JUNCTION要求を中央ロ
ジックに送信すべきであることをYチャンネル受信器に指示する。

第5図に示すように、確認は、チャンネルYの受信器の TX OF
EXCEPTION INTERNAL MESSAGE 信号によって指示される。送線
メッセージは、ジャンクタがチャンネルYの受信器に指定された
ある時間後に生じる。送線後のルーティングは必要とされず、
メッセージ終了の非常に短時間後に、チャンネルYの受信器は、
DROP JUNCTION要求を中央スイッチロジックに送信する。いった
んメッセージが処理されて確認が終了すると、ジャンクタが
満ち、送線回路は、更に別のメッセージを送信するために制
御状態に戻る。

第6図は、制御ロジック、制御信号、制御ロジックに関連した
制御メモリ及びある特定の時間インターバル内に制御信号が生じ
よう確保する種々のタイマーの構造ブロック図である。

メッセージを受信する場合には、同期回路 142が NEW
MESSAGE RECEIVED 信号をマニフェスタデータ及び兼用ノ道同
コンピュータ 141へ送る。データ及びコンピュータ 141は、それ
に応答して、RX MESSAGE信号を送信し、これをメッセージが受
け取られたことを指示する。他のある時間において、同期回路
142は RX CLEAR MESSAGE 信号をデータブロックに送り、メッセ
ジの受信を禁止する。RX MESSAGE 信号は列別クロックに同期され、
INTERNAL MESSAGE 信号を受信制御ロジック 143に送信する。受

信制御ロジック 143は、メッセージを処理した後に又はメッセ
ジの書き込みがある前を繰返すことが最大メッセージ長カウン
タ 151によって決定されたときに、END MESSAGE PROCESSING信号
を送信する。又、受信及び送信制御ロジックは、送信制御ロジ
ックがループバックモードにあるときを除き、送線制御ロジックが
ビジーであるときに、メッセージの受信を禁止するために、TX BUSY
信号を同期回路 141へ送返す。

メッセージの処理中に、受信制御ロジック 143は、多数の異なる
要求を中央スイッチロジック 144へ送る。これらの要求は、
2つの別々の優先順位レベルに基づいてグループ分けされる。
REVERSE PATH 要求及び DROP JUNCTION 要求は、各々、指定のジャン
クタに合った線路を接続して指定のジャンクタを落とす優先順
位の高い要求である。優先順位の低い要求は、ROUTE MESSAGE 及び
QUEUE MESSAGEを含む、ROUTE MESSAGE 要求は、ジャンクタ
が使用される場合及び行き先ポートがビジーでない場合にジャン
クタを指定し、さらには、メッセージは行き先ポートに対する
待ち行列に記録される。QUEUE MESSAGEは、特定の行き先ポート
に対する待ち行列にメッセージを要求をいれさせる。

メッセージルーティングする場合に、中央スイッチロジック
144は、中央ロジック状態メモリ 153を参照し、コンピュ
ータの相互接続のグループの状態を制御する。特定の表状態にお
いては、中央ロジック状態メモリ 153は、スイッチ制御ボード
(第3図の 121) の中央スイッチロジック 144と共に存在す
る。ルーティングされたメッセージと、行き先ポートの受信器が
よってちょうど受け取られる信号との間の衝突を防止するために、
中央スイッチロジック 144がルーティングプロセスの完了前に
行く先ポートの受信器を適度にルーティングすることが可能である。

それ故、マンチヌスタグコードから発生された制御信号 RA

C1811Eは受信側の制御ロジックから中央スイッチロジックへ送られ、受信側がビジーであることを指示する。

メッセージは多数のチャンネルから再同期を受け取られるので、受信側の制御ロジックは、中央スイッチロジック144が要求を満足し得るかどうか及びそれができるときに追加の必要がある。受信側の制御ロジックは、例えば、FIFOバッファ148に一時的に記憶されたメッセージがジャンクタが指定されるまで送信できない。同時に、送信側の制御ロジック82は、送れ制御信号を送信するときにメッセージが指定された待ち行列に入れたがどうかを知る必要があると共に、更に、待ち行列に入れたメッセージ要求が各行き先待ち行列の頭部に達したときを知る必要がある。このような場合には、送信側が送れ制御キャリアをオフにしなければならない。この目的のために、受信及び送信制御ロジックは、ジャンクタが各受信又は送信側部に指定又は接続されたかどうかそして送れ制御をオンにするべきかオフにすべきかを指示する信号を中央スイッチロジック144から受け取る。ジャンクタを指定することとこれを指示することは、ジャンク制御パスを経て送られる信号から決定することである。更に、REVERSE PAIR, DROP JUNKER 及び NOISE MESSAGE 要求は、第3図のスイッチ制御バス124を通じて送られる信号によって検知することができる。送れ制御は、スイッチ制御バスを越えられる FLOW-CONTROL-ON 及び FLOW-CONTROL-OFF 信号によってオン及びオフに切り換えられる。

メッセージがその所定の時間インターバル内にルーティングされなかった場合には、各チャンネルは受信側のFIFOバッファ(第4図の143)がオーバーフローする。この状態が生じるかど

うか決定するために、受信制御ロジックはメッセージルーティングタイマ154を含んでいる。メッセージが所定の時間インターバル内にルーティングされない場合には、それが要求され、ROUTERES146E REVERSE1 が引き出され、NOISE MESSAGE 信号が中央スイッチロジックに送られる。少なくとも1つの要求経路ダイレクシ55は、中央スイッチロジックが適宜な時間インターバル内に他のチャンネル要求にตอบสนองするかどうかをチェックする。

メッセージの送信及びジャンクタに付した経路の選択の後に、ジャンクタは、行き先チャンネルの受信側がAC/N/A/N/Aモードにおいて確信を待てる間にある期間中指定された状態となる。受信及び送信制御ロジック84、92は、予想AC/N/A/N/Aタイマを含み、これは、受信制御ロジック84が所定の時間インターバル後にAC/N/A/N/Aモードを退るよう検知すると共に、受信制御ロジックに指定されたジャンクタが来るように確保する。このジャンクタが来るように更に確保するために、中央スイッチロジック144は、ジャンクタが所定の遅延時間経過後に指定されたときに同期開始するジャンクタイマ156を備えている。中央スイッチロジックは、ジャンクタイマ156の時間切れを感知する手段、例えば、ジャンクカウンタ152及びマルチプレクサ163を備えている。これらの時間切れがジャンクタイマ156の時間切れを発生したときには、ジャンク時間切れ信号(QT)を発生し、これは、サービスジャンクタイマ要求(SJT)を発生し、これが中央スイッチロジック144で処理されることにより各ジャンクタが落ちたことになる。

メッセージ要求が待ち行列に入れたときには、FLOW-CONTROL-ON信号によって送れ制御がオンになり、メッセージ要求が各行き先待ち行列の頭部に達すると、行き先チャンネルが、メッセージの期望の行を待ち行列に対する待ち行列タイマが時間切れする。中央スイッチロジック144は、待ち行列カウンタ158及びマルチプレクサ159のような回路を含み、これは、待ち行列タイマ158を定期的に動作し、待ち行列タイマの時間切れを感知したときに、待ち行列時間切れ信号(QT)を発生し、これはサービス待ち行列タイマ要求(SRT)を生成し、中央スイッチロジック144によって処理されたとき、SRT要求が各行き先待ち行列の頭部にありメッセージ要求をその待ち行列から消去させ、その待ち行列の次の行にあるメッセージ要求が処理されるようになる。

サービス要求を迅速に処理するために、中央ロジック状態メモリ145は、その要求を処理するに必要な情報が必要に容易に利用できるように構成される。ルーティング要求が、例えば、予め定められた初期のスタートアップによって生成されるかどうか判断するために、中央ロジック状態メモリは、ROUTERES146E要求を発生したソースチャンネルの番号を用いてアドレスされる許容ソートセットメモリ164を備えており、更に、中央ロジック状態メモリは、行き先チャンネル番号を用いてアドレスされる許容行先セットメモリ165を備えている。これらのメモリに記憶される情報の特定の編成及び使い方は、第1図及び第11図を参照して以下に説明する。

中央スイッチロジック144が指定のソース又は行き先チャンネルに各々関連した行き先又はソースチャンネル状態を決定できるようにするために、中央ロジック状態メモリは、N/A状態テーブル168と、T/A状態テーブル170とを備えている。同時に、各ソースチャンネルに指定されたジャンクタを指示するグループ169は、各行き先チャンネルに指定されたジャンクタを指示す

るテーブル153とが設けられている。サービスジャンクダのダイマール部は、宛先としてジャンクダを指し示してジャンクダの情報を容易に指示するために、ジャンクダ番号によってアドレスされるジャンクダテーブル170が設けられている。ジャンクダテーブルは、各ジャンクダごとに、そのジャンクダが指定されるかどうか指示し、そしてもしそうならば、ジャンクダが指定されるソース及び行き先を指示する。又、ジャンクダテーブル170は、例えば、保留の目的でジャンクダを指定しておくために使用できる状態入力を提供している。

中央スイッチロジック144がメッセージ要求を待ち受け待ち行列に迅速に出せるようにするため、中央ロジック状態メモリは、待ち行列の頭端に各ポイントを設定するテーブル172と、待ち行列の後部に各ポイントを設定するテーブル173とを含む別々のテーブルを有している。進捗及び後部テーブル172、173の出力は、行き先待ち行列が記憶されるメモリ174の最上位アドレス入力へマッピングされる。通常、待ち行列メモリ174及び待ち行列ポイントテーブル172、173の最上位アドレス入力は、行き先チャンネル番号によってアドレスされるが、1つの例においては、以下で述べるように、ソースチャンネル番号によって待ち行列メモリ及びテーブルをアドレスすることが所望される。ソースチャンネル番号又は行き先チャンネル番号の選択は、一対のゲート175、176によって与えられる。同時に、後部又は後部ポイントは一対のゲート177、178によって選択される。

メッセージ要求を待ち行列に入れたときに、中央スイッチロジック144は、毎年の待ち先待ち行列に対して一度だけソースチャンネル番号が現われるように確保することが所望される。所与

のソースチャンネル番号が毎年の待ち先待ち行列に既に記憶されているかどうかを中央スイッチロジックが迅速に決定できるようにするために、待ち行列入力テーブル179が設けられており、これは、ソース及び行き先チャンネルの各組合せごとに単一ビット入力を含む。例えば、64回のチャンネルを含む任意の実例においては、待ち行列入力テーブル179が64×64=4096ビットマトリクスとして構成される。メッセージ要求の待ち行列に入られるたびに、各ビットがチェックされ、そしてメッセージ要求が待ち行列から取り出されるたびに各ビットがクリアされる。

第1図は、ハイアラキの図解形態の図解を示す図であり、これは、受信機及び送信機の制御ロジックから中央スイッチロジックへ送られる同時サービス要求を待機するために体系的に用いられるものである。第1図は、図解形態であり、第8図の図解形態が好ましいことを理解すべきである。第1図に示すように、例えば、各チャンネルのインターフェイスボード122、123は、各リングチャンネルアルビートル121を構成しており、これは、チャンネルインターフェイスボードの各チャンネルに関連した受信機ロジック回路84の特定の1つからサービス要求を選択する。更に、各チャンネルインターフェイスボード122、123は、各リングチャンネルアルビートル121をスイッチ制御ボード124のリングチャンネルアルビートル124に接続する各要求ライン125を有している。リングボードアルビートル124は、リングチャンネルアルビートル121の特定の1つから要求を選択し、処理されるべき中央スイッチロジックへの要求を送る。又、リングボードアルビートルは、スイッチ制御バス124を通過して選択されたボードのボード番号を送信し、チャンネルリングアルビートル122、123の番号に設

けられたボード選択コード125にそれを加える。ボード選択コード125は、リングボードアルビートル124によって選択された特定のボード番号を選択し、リングチャンネルアルビートル124によって選択されたチャンネル番号を送るゲート126、127、128をオンにする信号を発生する。チャンネルコード129及びゲート129、131によって更に選択したときには、選択されたボードの選択されたチャンネルの受信機ロジックからの要求コードがスイッチ制御ボード124を通過してスイッチ制御ボード121へ送られる。要求コードは、例えば、特定のサービス要求を識別する要求識別番号と、ロードメッセージ又は待ち行列メッセージサービス要求とに関連した行き先チャンネルを識別する番号とを含んでいる。

第1図のハイアラキ分岐回路の重要な特徴は、スイッチ制御ボード121のリングボードアルビートル124又は他のチャンネルインターフェイスボード122、123のリングチャンネルアルビートル124に対して要求を待たずに更に別のチャンネルインターフェイスボードを指定することである。例えば、チャンネルインターフェイスボードが除去されたときには、それに関連した要求ライン125が低レベルとなり、リングボードアルビートル124には要求が送られない。従って、リングボードアルビートル124は、コンピュータ構成回路に迅速に設置されたチャンネルインターフェイスボードからの要求を待機すると共に欠落要求を単にスキップするだけである。例えば、第1図に示すように、要求が記憶されるたびに、リングボードアルビートル及び各リングチャンネルアルビートルが次のアクティブな要求に達するようにされる。特に、要求選

択信号REQ、ACKは、「サービスグラント（許可）」として働いて、選択されたボードのリングチャンネルアルビートル124及びリングチャンネルアルビートル124を「クロック」してこれが次のサービス要求を選択できるようにする。この点において、クロック入力（C）は、完全に同期した入力であり、通常はシステムクロック417の300MHzの中央入力に対してアナログ形態で機能するのが好ましい。検査すれば、クロック入力（C）が利用可能であるときに、同期ロジック回路は、ロジック回路のレジスタが次のクロックされたとしても、選択的フィードバックにより状態を捉えない。

第1図のハイアラキ分岐回路形態に付する別の特徴は、受信機ロジックが及時的な要求でありして送信機ロジックがチャンネルインターフェイスボード122、123に対して単に通知されるだけであることである。更に、リングボードアルビートル124に対して送られる図解は、リングチャンネルアルビートル121に対する回路と実質的に同じである。

第3図を参照すれば、好ましいチャンネルインターフェイスボード122が詳細に示されており、これは、受信機ロジック回路84からの受信機回路の要求を待機するための第2のリングチャンネルアルビートル220を含んでいる。本発明の重要な特徴によれば、サービス要求は、優先順位別の要求と優先順位別の要求とにグループ分けされ、各優先順位グループ内で要求を待機するために第4のリングボードが設けられている。例えば、低優先順位のリングチャンネルアルビートル220に送られるべきであるのは、チャンネルコード220及びゲート223、224であり、これらは、ゲート126、127に関連して動作して、

低優先度のリングチャネルアービトラータ 201 により与えられたチャネル番号又は高優先度のリングチャネルアービトラータ 201 によって与えられたチャネル番号のいずれかを返す。

ライン 205 の高優先権サービス要求信号は、ボード選択デコード 105 がイネーブルされたときにゲート 203、204 又はゲート 106、107 のいずれかをイネーブルするためにインポート 205 に供給される。換言すれば、ボードからのサービス要求が許可されると高及び低の両方の優先権要求が存在するときに、中央アービトラータヘッパードバックされる要求チャネルが両優先権要求のチャネルとなる。

第 4 図に示すように、低優先度のリングチャネルアービトラータからの低優先権要求は、スイッチ制御ボード 121 の低優先度のリングボードアービトラータ 207 へ送られ、高優先度のリングチャネルアービトラータからの高優先権要求は、これもスイッチ制御ボード 121 上にある高優先権リングボードアービトラータ 208 へ送られる。ポート 210 は、H10 RRD、ACR 信号及び LOW RRD、ACR 信号を合成し、チャネルインターフェイスボード 122、123 のための STANTSERVICE REQUEST 信号を発生する。優先権が許可されたチャネルのボード選択番号は、2 つの 3 状態ポート 210、220 のイネーブルされた方によって与えられる。ポート 210 は、高リングボードアービトラータ 208 の H10 RRD、R 出力によってディスイネーブルされ、ポート 220 はこの H10 RRD 出力によってイネーブルされる。

選択権要求及びドロップジャンクタ (ジャンクタを指す) 要求は、高優先権要求としてグループ分けされ、ルートメッ

ージ及び待ち行列メッセージ要求は低優先権要求としてグループ分けされるのが好ましい。低優先権のグループ 8 6 においては、高優先権要求がポート 210 によって組み合わされ、高優先権要求がポート 211 によって組み合わされる。

第 5 図には、リングチャネルアービトラータ 101 の結合した機能の概略図である。中央スイッチングのリングボードアービトラータ 104 についても実質的に同じ機能が使用される。リングアービトラータは、最後に優先権が与えられたチャネルの番号を記憶するレジスタ 221 を減じている。次に優先権が与えられるべきチャネルは、チャネル選択ロジック 222 によって決定される。プログラム可能なロジックアレイを用いることによってこのチャネル選択ロジックを簡単に実施するために、チャネル選択ロジックはチャネルデコード 223 の出力を受け取り、2 つのチャネルを選択出力を発生する。これらはエノンコード 224 へ送られる。そしてこのエノンコードは優先権位が与えられるべき次のチャネルのエノンコードされたチャネル番号を出力する。チャネル選択ロジック 222 に対する論理的な組み合わせ 1 に示されている。デコード 223 からのチャネル選択番号を受け取るのに加えて、チャネル選択ロジック 222 は、その各々のチャネルインターフェイスボードに関連したチャネルからの要求を受け取る。優先権が各チャネルに対して与えられるべきであるかどうかを各々に関連するチャネル選択ロジック 222 の出力は、論理ポート 225 において組み合わされ、いずれかのチャネルによって要求が与えられたかどうかを指示する。

第 6 図には、ベン図が 230 で一般的に示されており、これは、行々失チャネルの各組に関連した特定の種類のグループ

ンネルとして選択スタックアラームの定義を示すものである。第 10 図に示すように、1 組のソースチャネルは 1 組の行々失チャネルに置き換える。この場合、チャネルは交換部において互いに自由に送達する。その他に行々失は、チャネル間のメッセージ送信は、ソースチャネルから行々失チャネルへのみ行なわれる。多数のこのような交換プログラムをコンピュータの相互接続部に対して定めることが好ましい。いずれの所与のチャネルも 2 つ以上の仮想スタックアラームに含まれる。

第 11 図には、許容ソースセットメモリ 164 及び許容行き先セットメモリ 165 における仮想スタックアラームを表わす好ましい方法が示されている。許容ソースセットメモリ 165 は、チャネル番号 9 ないし 13 によってアドレスされる 54 ビットを含まれている。各ビットの各ビット位置は、そのビットをアドレスするソースチャネルが各ビット位置に対し仮想スタックアラームに含まれるかどうかを表わすための論理 1 又は 0 である。許容行き先セットメモリ 165 も同様に 1 組の 84 ビットとして構成され、ビットの各ビットはそのビットをアドレスする行々失チャネル番号が各ビット位置によって表わされた仮想スタックアラームに含まれるかどうかを指示するための論理 1 又は 0 である。

指定のソースチャネルからのメッセージが特定の行々失チャネルへ送られることが許容されるかどうかを判断するために、許容ソースセットメモリ 164 の各ビット出力ラインが論理アンドゲート 241 を用いて許容行き先セットメモリ 165 の各ビット出力と論理アンドされる。それ故、各ゲートは、コンピュータ相互接続部に対して定めることができる 8 組の仮想スタックアラームの各々に対して特定のソース及び行き先が各ソースチャネルセット及び行々失チャネルセットに見出されるかどうかを指示す

る出力を発生する。メッセージは 8 組の仮想スタックアラームのいずれか 1 つを通してルーチンゲータリングすることが許された場合にルーチンゲータリングされおぼろげでないで、デコード 244 の出力は論理ポート 242 で組み合わされ、メッセージルーチンゲータリング可能な行々失番号を指示する。

例えば、許容ソースセットメモリ 164 及び許容行き先セットメモリ 165 のプログラムニングが第 11 図に示されており、これは、仮想スタックアラームがメッセージを発生するのの装置、メッセージを送信するのの装置及びビットの選択されたチャネルグループ間でメッセージを交換する装置を許容する特定の条件を示すものである。0 ビット位置に対して定められた仮想スタックアラームは、許容ソースセットメモリ 164 の全てのソースチャネルに対する論理 1 を含むが、0 の行々失チャネル番号に対する 0 ビット位置のみに対する論理 1 を有する。それ故、0 ビット位置に対して定められた仮想スタックアラームは、チャネル 0 に接続されたゲート相互接続部からの受信にのみ使用できるようにする。

第 2 ビット位置によって定められた仮想スタックアラームは、ソースチャネル 1 及び 2 と行き先チャネル 1 及び 2 に対してのみ論理 1 を有する。それ故、この仮想スタックアラームは、チャネル 1 と 2 をそれらの間のいずれかの方向にデータ交換するように互いに接続する。この形式の仮想スタックアラームは、それらの各々のアクセスワードをパララックスするために各仮想スタックアラームに対して定めることができる。又、この形式の仮想スタックアラームは、中央プロセッサのソースを 3 つの接続されたビットセットグループからのグループへ柔軟に位置設定又は論理的に移動できるように定めることができる。ビット位置に関連した仮想スタック

プラーは、ソースチャンネル3に対してのみ処理1を命令が、全ての行き先チャンネルに対して処理1を発生する。それ故、ビット2に関連したこの状態はターナルプラーは、ソースチャンネル3に接続されたデータ処理装置を、他のデータ処理装置へデータを送信できるものとしたことを要する。

第12図には、メッセージ及び符号のための特別なフォーマットが示されている。メッセージ及び符号は別列で送信される。メッセージを搬送するチャンネルからキャリアが存在しないインターバルによって分離される。各メッセージは、ビット間隔を容易にする目的で値5（16進）を有するヘッダと、フレーム同期のための値96（16進）を有する文字間隔ビットと、メッセージの正しい位置の検出（ACK/NACK）が受信されるかどうかを示すビットと、メッセージの長さを指示するバイトと、送信の行き先チャンネル番号を示すバイトと、所望の行き先チャンネル番号の検出を指示するバイト、メッセージのソースチャンネル番号を示すバイトと、メッセージの長さによって予め指定されたデータバイトの総数と、取り返し冗長チェック（CRC）と、検出の検出（ACK/NACK）のフォーマットは、第12図に示す形態と同様であるが、この場合には、メッセージの長さを示すバイトが削除されてデータも削除されていることに注意されたい。

第13図は、第12図に示すメッセージフォーマットに基づいてメッセージを最初に検出するための受信側の概略図である。データ処理装置から送られたメッセージは、最初としてここに取り上げられるアーム近の受信機は第4,537,072号に詳細に説明されたように、マルチスタグコード251及びキャリア検出

第252に受け取られる。第13図のメッセージコードは、フラップアップコード253により決定される2つの状態の1つにある。メッセージコードは、N/EW M/E S/A/G/B/R/Q信号に依存してリセットされたとき及びキャリアがアップリック検出253によって検出されなかったときにアイドル状態に入る。そのため、フラップアップコード253はキャリアの存在によってセットされ、キャリアが存在しない場合には、フラップアップコード254、インバート255及びゲート256によってリセットされる。

第13図のメッセージコードがアイドル状態を出て、キャリアの存在中にビジーになったときには、アナログスタグコード251からの矩形波のデコードされたデータが復調/逆符号化/デコード257へクロックされる。データがこの矩形波/逆符号化/デコード257へクロックされるとともに、ヘッダのタイマインターバルが監視される一方、メッセージコードが96（16進）の文字間隔を検出する。この文字間隔の存在は、デコード255によって検出される。この同期文字が検出される際にキャリアが検出される又はヘッダの時間切りインターバルが経過した場合には、ヘッダ時間切れフラグデフラップアップコード258によって検出される。タイマインターバルはカウンタ259によって決定され、このカウンタは、メッセージコードがアイドル状態になると、同期文字が検出されたとき又はヘッダの時間切れフラグがセットされたときに、リセット261によってリセットされる。このヘッダ時間切れインターバル中にキャリアが失われることは、アンドゲート262によって検出され、ヘッダ時間切れフラグをセットする2つの状態はリセット263において合成される。

ロップ271は、IGNORE MESSAGE COMPLETE 番号を検出する。アンドゲート276は、フラップアップコード255の出力をフラップアップコード274の出力と合成し、メッセージ発生中に高レベルとなるMESSAGE 番号を検出する。

本発明のコンピュータ相互接続カプラーの動作中のある時点で、入ってくるメッセージのメッセージコードを監視し、リセットすることが所望される。これは、例えば、チャンネル選択器が動作されたときに行なわれて、それと同時に入ってくるメッセージが終了したときこれがフラグをセットしないようにする。このために、メッセージコードは、CLEAR MESSAGE 番号を受け取るため、ゲート275を介し、この信号は、フラップアップコード273をセットし、これにより、CLEAR MESSAGE 番号が検出されてその後にキャリアが存在しなくなるまで、MESSAGE 番号を継続的に監視レベルにする。

次に第14図を参照して、ここにはチャンネル受信側ロジックのためのメッセージ・シフトロジックおよびデコード・カウンタの概略図が示してある。受信データ・バスは内部バイト・クロック281と同期させるために、1ビットのレジスタ282、283が設けられており、これらのレジスタはインバート284で与えられるようなバイト・クロックの180度位相で同期される。重大許容メッセージ互に相当する或る限られた持続時間を有するメッセージの場合、これらの2つのレジスタ282、283のうちの1つのレジスタの出力が2つのゲート285、286のうちの対応したゲートによって選択されて内部バイト・クロック281と同期したデータを与えることがである。これらの2つのゲートのどれを使用可能とするべきかを決定するために、内部バイト・クロック281によって同期されるフラップアップコード287が第13図

入ってくるメッセージを処理するために、メッセージコードをハードルシフトモードで動作して、メッセージコードがN/EW M/E S/A/G/B/R/Qを受け取った後にのみメッセージを搬送するように、1つのメッセージを完全に処理してから次のメッセージがコードによって検出されるようにする。このため、メッセージの終りがフラップアップコード274によって検出される。このフラップアップコードは、フラップアップコード265がセットされてキャリアが失われたことがアンドゲート275によって検出されたときにセットされる。それ故、フラップアップ

のメッセージ・ブロードからの既知位置分岐レバ、クロックをサンプリングする。さらに、この決定は、MS545E 信号が存在しないときのみ無効フリップフロップ 281 を使用可能とすることによってメッセージの保持時間の関係保持される。フリップフロップ 281 にに対してクロックを使用禁止とするのに必要な遅延は遅延フリップフロップ 288 が与える。バイトを内部バイト・クロックに同期させるために、内部バイト・クロック 281 によって同期された出力レジスタ 283 が提供される。受信メッセージからのバイトをフリップフロップ 288 によって与えられたバイトが変換されているときにそれを示す INTERNAL MESSAGE 信号を送信フリップフロップ 289 が与える。

第 1 図のメッセージ・フォーマットにおける 289 のバイトを識別するために、それぞれのバイトが出力レジスタ 289 の出力として提供したときにフラグ・レジスタ・タイトル・カウンタ 291 が対応したストローブ信号を発生する。このフラグ・レジスタ・タイトル・カウンタは INTERNAL MESSAGE 信号の 3-デューティを発生する。AND ゲート 292 によって与えられた初期パルスを受け取る。同時に、INTERNAL MESSAGE 信号の 3-デューティを AND MESSAGE 信号を AND ゲート 293 が発生する。

ここで、第 1 図のフォーマットがメッセージのためのフォーマットであり、復元予定応答コードのためのフォーマットも異なる。メッセージの長さを除く同様のものであることを思い出さなければならない。サイクル・リフト・カウンタ 291 がメッセージおよび肯定応答のためのパルスを復号するために使用できるようにする。具体的には 294 で示すマルチプレクサが設けられており、これは肯定応答がチャネル受信機ロジックで予想されるとときに DTSY、

DRES で検出。SOURCISTROB 信号に対するストローブ・パルスの位置をシフトする。

第 1 図には、第 1 図のメッセージ・ブロードにハンドシェイク・メッセージ確定信号を伝えるロジック 4 を示している。メッセージ処理の終りでは通常はフリップフロップ 295 300 NEW MESSAGE 信号を発生する。システム RESY 信号に依存するか、あるいは、チャネル送信機が使用可能であるときは、任意の現行メッセージが格納され、新しいメッセージがリクエストされなければならない。このために、OR ゲート 296 がシステム RESY 信号と TX RESY 信号とを結合させてチャネル受信機へ CLEA R MESSAGE 信号を発生する。また、第 2 の OR ゲート 297 がこの CLEAR MESSAGE 信号をフリップフロップ 298 の出力と結合させて NEW MESSAGE 信号を発生し、この信号が第 1 図のチャネル受信機に渡される。また別の OR ゲート 299 が用いられて CLEA R MESSAGE 信号を AND ゲート 295 の出力と結合させてチャネル受信機ロジックのための 1N1 信号を発生する。その結果、チャネル受信機ロジックは、チャネル送信機が使用中であるか、あるいは、システム RESY が発生したときにより、もしくは、検出されたメッセージが出力レジスタ 289 の出力端に現れる直前にリセット状態になる。

次に第 1 図を参照して、ここでは、メッセージ・リクエストを発生し、メッセージ延期を待たせるチャネル受信機ロジックの既知信号が示されている。一般的には、チャネル受信機ロジックは行先および行先メッセージが互いに一致したとき、メッセージのソース数が増えるチャネルに一致したとき、メッセージのタイプが予想タイプと一致かつ予想タイプが AND された

は NAKコードでないときにリポート・メッセージ・リクエストを発生する。

行先が行先優先権に一致しているかどうかをチェックするために、行先優先権レジスタ 301 にストローブされる。2 入力・専用 OR ゲート 302 と 8 入力 NAKAND ゲート 303 とからなるバジックがレジスタ 301 にストローブされる。先行優先権メッセージのデータ・バイトと比較する。DTSY 同期中に比較がなされたかどうかをフリップフロップ 304 がチェックする。さらに、フリップフロップ 306 が用いられ、行先優先権優先権が互いに一致しない場合には行先優先権フラグを論理プロセッサに送る。同時に、データ・バイト・ソース・コンパレータによって点検される。このソース・コンパレータは一種の専用 OR ゲート 307 と AND ゲート 308 とを含む。この AND ゲート 308 は SOURCISTROB のパルスを受け取り、メッセージ内のソース数がチャネル受信機のチャネル数と一致するときに内部パルス信号を発生するインバート 309 に信号を送る。さらに、フリップフロップ 310 が論理プロセッサにソース不一致フラグを送る。このようなフラグは、たとえ、遅延ケーブルが特定のデータ処理ユニットからコンピュータ基板接続プログラの制り当てチャネルにスルーしていることを示すことができる。

メッセージまたはコードのタイプを認識する目的で、データ・バイトは ACK デコード 311 および NAK デコード 312 に送られる。これらのデコードの出力は OR ゲート 313 によって組み合わされてそのメッセージが ACK コードであるか NAK コードであるかどうかを示す。

チャネル受信機ロジックが AND コードあるいは NAK コードのいずれが予想されるかを決定するために、フリップフロップ

314 がシステム・リセット信号、受信機に到着したジャンクデータの解除信号、そして、予想優先権タイプ 16 の終了信号によってリセットされる。これらの信号の必要な場合は、OR ゲート 315 によって与えられる。予想優先権タイプ 16 は、つまり、ある肯定応答の復元待たせのためにジャンクが予約される期間を規定する。したがって、予想優先権タイプ 315 は、肯定応答が予約されると、ジャンクがチャネル受信機に与えられたときで始まり、復元肯定応答またはメッセージのタイプが検出され得るまで待たせなければならない。したがって、予想優先権タイプ 16 を制御するために、フリップフロップ 317 が設けられて、これは肯定応答が予想されるとジャンクがチャネル受信機に与えられたときに AND ゲート 318 によってリセットされ、肯定応答が予想されないかまたは TYP ESTROB が生じたときに OR ゲート 319 によってリセットされる。

図 2-501781 のメッセージまたは肯定応答を認識するために、専用 OR ゲート 320 がフリップフロップ 314 からの予想タイプを OR ゲート 313 によって示される受信タイプと比較する。専用 OR ゲートの出力は 1P ESTROB にて使用可能とされた AND ゲート 321 に送られて、メッセージのタイプが予想タイプと一致していないときにはフリップフロップ 322 をセットする。さらに、AND ゲート 321 はフリップフロップ 323 をセットして期待されたタイプのメッセージまたは肯定応答が受け取られたということを示すフラグを論理プロセッサに送る。

メッセージを送信するリクエストは AND ゲート 324 およびフリップフロップ 325 によって発生させられる。メッセージの行先および行先優先権が一致しているときは、メッセージは肯定

応答コードでない適正なタイプを有し、メッセージのソース数値がチャンネル登録簿の制約的なチャンネル数と一致する。フラップフロップ325がセットされるとき、メッセージ経路指定タイマ154も使用開始とされる。ジャンクタがチャンネル受信機に加入されたとき、または、チャンネル受信機がメッセージ受信開始時に初期化されたとき、あるいは、メッセージの経路指定がフラップフロップ325によってリセットされたとき、メッセージ経路指定タイマ154がタイムアウトしたとき、あるいは、フラップフロップ325によってフラップフロップ325がリセットされる。この最後の経路指定ANDゲート327によって決定される。したがって、このANDゲート327は、先入先出しバッファ(第4図の143)がオーバーフロー無しに少なくともメッセージの開始部分を積算に貯蔵するように選ばれた特定の時間間隔内で中央スイッチ・ロジックがフル・メッセージ・リクエストに回答しなかったことを示すMESSAGE ROUTING TIMEOUT 信号を発生する。

ここで、中央スイッチ・ロジック(第4図の144)が行き先送信機または受信機が使用中であるあるいはアイドル・ジャンクタが利用できないためにメッセージを経路指定できない場合、この中央スイッチ・ロジックが特定のキューにメッセージ・リクエストを置き、チャンネル受信機、送信機にFLOW-CONTROL-ONを送ることにする。このとき、フラップフロップ325はINITメッセージによってリセット状態となる。

第15図にはORゲート328も示されており、このORゲートはEND MESSAGE、P-R-O-C、番号メッセージ経路の終了時に発生する。行き先不一致、ソース不一致、誤ったタイプのメッセージまたは宛先宛答の発生、肯定宛答タイムアウト、メッセージ長が成る所定の最大メッセージ長を超える場合、チャンネル受信

機からドロップしたジャンクタ・メッセージのキューインジの終了のいずれかがあるときにメッセージ経路は終了する。メッセージが成る最大メッセージ長を超えるかどうかを知るために、最大メッセージ長カウンタ151がインポート329によってリセットされる。メッセージのないときにプリセット・カウンタ数に保持され、メッセージ中にタイムアウトに達すると、フラップフロップ320がセット状態になる。このときにANDゲート331がフラップフロップ322をセットし、メッセージが成ることを示すメッセージ長経路プロセスに送る。ANDゲート333はフラップ・フロップフロップ322がメッセージあたり一回以下にセットされることを保証する。

次に第16図を参照して、ここにはメッセージ・キューインジのためのチャンネル受信機・送信機ロジックが詳細図で示してある。第15図からのMESSAGE ROUTING TIMEOUT 信号がフラップフロップ341をセットし、これは中央スイッチ・ロジックにキュー・メッセージ・要求を送る。また、MESSAGE ROUTING TIMEOUT 信号は要求宛先指定タイマ342をセットする。ANDゲート343で検出されるようにこのタイマがキュー・メッセージ・要求の優先化の前に動作する。フラップフロップ344はセット状態になり、送信プロセスにキュー・要求・エントを知らせる。キュー・メッセージ・要求を発生するフラップフロップ341はINIT信号によって、キュー・要求・エントの発生時のANDゲート343によって、あるいは、通常では、中央スイッチ・ロジックからのFLOW-CONTROL-ON信号によってリセットされる。これらの状態の組合わせはORゲート345によって与えられる。キューインジの終了は、キュー・要求・エントが発生するからあるいはフロー・コントロールがオンになったときに

はいつでもORゲート346によって示される。

送信機のためのフロー・コントロールの状態はフラップフロップ347によって示される。このフラップフロップは中央スイッチ・ロジックからのFLOW-CONTROL-ON信号によってセットされ、システムR25R25信号によって、中央スイッチ・ロジックからのFLOW-CONTROL-ON信号によって、あるいは、フロー・コントロールがオンであってもフロー・コントロール・タイマ157の満了時にリセットされる。必要な経路指定および経路指定はANDゲート348およびORゲート349によって行われる。フロー・コントロールがオンでフロー・コントロール・タイマ157が満了したとき、フラップフロップ349がセットされ、送信プロセスにフロー・コントロール・タイムアウト・フラグを送る。

フロー・コントロール・フラップフロップ347がセットされた場合、あるいは、ジャンクタがチャンネル送信機に割り当てられ、チャンネル受信機に割り当てられない場合には、チャンネル送信機が使用中と想定される。これらの状態はインポート350、ANDゲート351およびORゲート352によって解消される。上面したように、チャンネル受信機はチャンネル送信機が使用中と認められるときに解除される。しかしながら、ANDゲート353によって検出されるようにジャンクタがチャンネル送信機、受信機の両方に割り当てられたとき生じるメインテナンス・モードではこれらのチャンネル送信機、受信機は同時に動作する。

データ制御装置によって送られる任意のキャパシティが積するまでデータ処理装置へのフロー・コントロール・キャパシティの速度を遅延させると望ましい。特に、データ処理装置の送るキャパシティが増減するときとフロー・コントロール・キャパシティが

るときの際に約5クロック・サイクルの格納量があるとして、したがって、FLOW-CONTROL-ON-XMIT信号がフラップフロップ354によって発生させられる。このフラップフロップはフロー・コントロール状態のオンにリセットされ、チャンネル受信機の検出するキャパシティが増減した後5クロック・サイクルでセットされる。フラップフロップ354によって必要となるリセット条件は3ビットカウンタ355、ANDゲート359およびインポート357によって決定される。

次に第17図を参照して、ここには先入先出しバッファ143のための、スイッチ・マトリックスにインターフェースするチャンネル受信機ロジックが示してある。チャンネル受信機が肯定宛答を予測していないとき、ジャンクタがチャンネル受信機に割り当てられるときに、それがインポート358およびANDゲート362によって検出されて上方スイッチ・マトリックスに送られる。肯定宛答が予測される場合には、ジャンクタがチャンネル受信機に割り当てられ、肯定宛答等が受け取られたときにスイッチ・マトリックスへの送りが解除される。これらの状態はANDゲート358によって検出され、ORゲート361によって転送信号が与えられる。まず、タグがスイッチ・マトリックスに送られる。たとえば、ジャンクタの識別番号がチャンネル受信機に割り当てられる。タグの転送後、バッファ143からデータが送られてくる。タグの転送時間は遅延レジスタすなわちフラップフロップ365とANDゲート366によって決定される。このタグまたはバッファのデータ出力のいずれかがスイッチ・マトリックスへの転送のために多重化ゲート367、368によって選ばれ、バッファが空になったときにバッファからのデータ送中にANDゲート369によって発生したEND-RECEIVED

信号によって転送の終了が示される。

データおよびパルスマトリックス3からデータ・バイトに解して、ジャンクタ上のパリティビットおよび有線データビットが読まれる。このパリティビットはパリティ・エンコーダ378によって発生させられる。有線データ信号はデータが送られるときに発生させられる。あるいは、パルスマトリックス中に埋め込まれたときに発生させられる。これらの論理状態はインバート371、ANDゲート372およびORゲート373によって解される。

次に第18図を参照して、ここには論理スイッチ・マトリックス393とその制御回路が概略図で示してある。読めるジャンクタがチャンネル受検機あるいはチャンネル送信機に割り当てられたかどうかを示す信号を結合デコード381、行き先デコード382およびラッチ383、384が発生し、そのあと、ジャンクタの識別番号が割り当てられる。同様のデコードおよびラッチが他のチャンネル送信機および受信機によって使用される。ジャンクタ制御バスを通じて指令パルスが送られるときに割り当てられるべきあるいはドロップされるべきジャンクタを指定するための複数のラインを包含する。一本のラインはこの指令パルスがジャンクタ割り当て動作あるいはジャンクタ・ドロップ動作と組み合わされているかどうかを指示する。ジャンクタ制御バスは割り当てられたジャンクタのすべてを同時にドロップさせるリセット・ラインを包含する。

ジャンクタを割り当てるかどうかドロップさせるために、指令パルスはラッチ383、384を制御しており、これらのラッチは、それぞれ、割り当てられたジャンクタの識別番号が割り当て/解除・ラインのストロブ・パルスを受け取ってジャンクタが割り当てられた

の解除がせられたのかを示す出力ビットを発生させる。ラッチ383、384のそれぞれにはデコード385、386が組合わさる。各デコードの出力は入力側はラッチされたジャンクタ識別コードを受け取る。各デコードはジャンクタが割り当てられたかどうかを示すビットを受け取る出力インバータ回路も有する。したがって、デコードの出力側は各ジャンクタへの接続を開始とするセレクト信号を発生する。ジャンクタ・バスから送られる、受け取られることになっているデータは同一のラッチ387によって規定されたジャンクタに多量化され、一組のラッチ388によって多量化される。

第18図からわかるように、本方向ゲートを用いてジャンクタへの、そして、ジャンクタからのデータを多量化しようとしている場合、ゲートの相互接続が異なっていなければならない。しかしながら、本発明等では、これが必ずしも真実ではないと認めておくべき意見をした。事実、ANDゲートの2つのレベルを用いてジャンクタへの、そして、ジャンクタからの多量化、多量化の両方を行うマルチプレクサ・アレイを構成することができる。

次いで第19図を参照して、ここにはジャンクタ・バスにチャンネル受検機をインテグレーション接続するための、具体的には201で示すスイッチ・マトリックス側の好ましい回路が示してある。本発明の一特徴によれば、チャンネル・インテグレーション・ボード(第3図で122、123)がゲート・デコードを解するロジックを必要とすることなく自由に交換できる。代わりに、ロード・キーの横のストロブがストロブ番号を示すように配線された一組の端子ストロブを包含する。したがって、図示される特定のストロブに挿入したときに、ストロブ番号がボードに同じ一組の人力ラインに接される。ボード選択はANDゲート203

に組み合わされた出力部を有する一組の専用ORゲート392によって行われる。こうして、ANDゲート393がゲート・セレクト信号を発生する。このゲート・セレクト信号はジャンクタ・セレクト394の出力部を使用可能とするのに用いられる。このジャンクタ・セレクト394はレジスタ395のクロックを使用可能とするのに用いられる個々の出力部を有する。このレジスタ395はジャンクタ制御バスのソース・セレクト・ラインからチャンネル番号を受け取り、また、ジャンクタ制御バスから割り当て/解除・ラインを受け取る。レジスタ395の出力はデコード396の人力部に送られる。このデコードは全体的に397で示すNAND多量化ゲートの第1レベルの出力は全体的に398で示されるANDゲートの第2レベルによって組み合わされる。ゲート398の第3レベルはレジスタ394にラッチされた割り当て/解除信号によって399で発生される。3状態ゲート397を制御する代わりに、オープン・コネクタ・ゲートを用いてジャンクタに沿ってファイバーOR回路を形成することもよい。

次に第20図を参照して、ここにはチャンネル送信機のためのスイッチ・マトリックス393が概略図で示してある。ここで明らかなように、第19図に示すものと同じ回路要素が使用できる。ここが必要とされるのは、ジャンクタ・セレクト・ラインをチャンネル番号セレクト・ラインと一緒に切り換えられ、ジャンクタANDゲート398の第2レベルの出力側の代わりにANDゲート397の第1レベルの出力部に送られるということである。この場合、ジャンクタの数が個々のチャンネル・インテグレーション・ボード上のチャンネルの数に等しいということになるべきである。第19図の構造要素と同じである。第20図で異なる

る構造要素は同じ参照番号で示してあり、類似した構造要素間には参照符号にダッシュ記号を付して示してある。

次に第21図を参照して、ここにはジャンクタ解除要求およびジャンクタ反転要求を示すチャンネル受検機ロジックを概略図で示す。ANDゲート401によって解される場合には、チャンネル受検機が読めるジャンクタに割り当てられ、新しいメッセージ・要求・インディカがあり、肯定応答が予想されない場合には、スタック・ジャンクタが先に検出されている場合を除いて、ジャンクタ解除要求が開始される。また、ゲート402によって検出されるように、読めるジャンクタがチャンネル受検機に割り当てられ、肯定応答が予想され、1つのパルスマトリックスの送信が終了した場合には、スタック・ジャンクタが先に検出されている場合を除いて、ジャンクタ解除要求が開始される。ゲート401、402の出力はORゲート403で結合される。ジャンクタ解除要求を示すフリップフロップ404をセレクトするのにも用いられる。ゲート405で解決されるように、肯定応答が予想されない場合、スタック・ジャンクタが先に検出されている場合を除いて、1100パルスマトリックスの送信の終了時にジャンクタ反転要求が開始される。ゲート406はジャンクタ反転要求を示すフリップフロップ405をセレクトする。

或る期間内にジャンクタの解除あるいは反転がない場合、それは要求時間等タイマ155によって通知される。このタイマはORゲート407、408、インバータ409およびANDゲート410によって検出されるように読めるジャンクタ解除要求またはジャンクタ反転要求が開始されたときに同じタイマでリセットされる。要求時間等タイマ155がタイムアウトし、ジャンクタ解除要求またはジャンクタ反転要求が行われているときにスタ

ック・ジャンクが示される。この状態はANDゲート411によって解除される。スタッフ・ジャンクの発生時、フリップフロップ412がリセットされ、初期プロセッサにスタッフ・ジャンク・フラグを立る。このフリップフロップ412はリセット禁止信号を発生し、これはNANDゲート413を通じてフリップフロップ404を停止し、NANDゲート414、415およびインバート416を経てフリップフロップ406を停止する。

初期プロセッサにスタッフ・ジャンクの識別番号を知らせるために、ゲート411からのスタッフ・ジャンク信号に適合してロードされるレジスタ411が設けられる。

次に第2図を参照して、これはジャンクタをチャンネル受信機に割り当てられる際の動作を説明するロジックが示してある。このロジックはチャンネル受信機ジャンクタ割り当て信号をサンプリングする逆転フリップフロップ421と、インバート422と、ANDゲート423、424とを包含する。

次に第3図を参照して、これはチャンネル受信機のロジックを低周波で示してある。第2図のスイッチ・マトリクス39からパスト、パリティ・フラグおよび有効データ信号とそれらのレジスタおよびフリップフロップ431、432、433に接続される。タッチされた有効データ信号はANDゲート434においてチャンネル受信機ジャンクタ割り当て信号と組み合わされて送信開始を加える。初期パリティが逆転フリップフロップ435およびANDゲート436によって与えられる。この初期パリティはシフト・レジスタ437のシリアル入力部に送られる割り当てられたジャンクタを介して送られるメッセージの開始時に種々のデータ・ビットのためのストロブ信号を発生させる。チャンネル受信機ロジックのためのリセット信号はインバート438

およびORゲート439によって与えられ、シフト・リセットが施されたとき、そして、有効データがチャンネル受信機に割り当てられたジャンクタからのもので受け取れたときにいったんいつても送信開始はリセットされる。

割り当てられたジャンクタからのデータ・ビットのパリティはパリティ・エラー・デコード440によって与えられる。NANDゲート441はデータが有効であると想定されるときにパリティ・エラーが生じたかどうかをチェックし、エラーが生じたときには、フリップフロップ442がパリティ・エラー・フラグをセットし、これが初期プロセッサに送られる。

メッセージのタビにおけるジャンクタ識別番号が実際にチャンネル受信機に割り当てられたジャンクタの識別番号と一致しなかった場合にデータ送信を停止するために、一組の専用ORゲート213、NANDゲート244およびANDゲート245が流れる信号を発生する。このとき、フリップフロップ246がフラグをセットし、このフラグが最新プロセッサに送られる。

チャンネル受信機が肯定応答を予測するべきかどうかを決定するために、NANDゲート247およびANDゲート248の出力がANDゲート249において組み合わせられ、ジャンクタからのパリティが正当または負の肯定応答コードを含んでいるかどうかを示す信号を発生する。チャンネル受信機はそれに対応したジャンクタ受信機が肯定応答コードなしにメッセージを送ったときに肯定コードを予測するので、シフト・レジスタ・サイタル・カウンタ437は出力マルチプレクサ450を有し、受信機が肯定コードを予測するときにこの出力マルチプレクサ450がメッセージのためのストロブ信号を選択する。

行き先パリティがチャンネル受信機のチャンネル番号と一致しな

いときに送信を停止するために、行き先デコード451が設けられ、そのレベ出力はANDゲート452においてIF-DESETストロブ信号でゲート制御され、この行き先パリティをチャンネル受信機の実際のチャンネル番号と比較する。ANDゲート452の出力はフリップフロップ453をセットして行8張エラー・フラグを発生させ、これが初期プロセッサに送られる。

行き先エラーがあった場合、メッセージまたは肯定応答のごく始めの部分でも送信を阻止すると望ましい。この目的のために、行き先コードがロケールおよび行8張で肯定応答またはメッセージの復調部分を一時停止に促す必要がある。そのために、5ビット先入先出レジスタ454が設けられる。このレジスタはパリティの8ビット分毎に1つのビット・シリアル・シフト・レジスタを有する。

メッセージまたは肯定応答が属したジャンクタからきたか、あるいは、誤った行き先を示している場合に送信を禁止する信号を発生させるために、フリップフロップ455がTX-RBSSETによってリセットされ、NORゲート456で示されるように、ジャンクタ・エラーまたは行き先エラーのいずれかが発生したときにリセットされる。さらに、送信の開始時刻を知るために、最初のフリップフロップ457が設けられており、これはTX-RBSSET信号によってリセットされ、PRB-XMITゲートによってリセットされる。したがって、送信は、常に、PRB-XMITストロブの後のサイタルと共に開始される。このサイタル(CAR-XMITストロブで示してある)の間、5・16進同期ワード458がメッセージまたは肯定応答のジャンク識別番号の所定位置に再挿入される。そのために、一对の多量化ゲート459、460が設けられている。ゲート460はフリップフロップ453、

457の出力を組み合わせるANDゲート461によって使用可能とされる。

本発明の重要な特徴によれば、受け入れメッセージは行き先データ処理装置に送られ、ロー・コントロール・タビ462に挿入される。しかしながら、この場合、メッセージまたは肯定応答の間の読取期間においてロー・コントロール・タビが存在しない停止状態を挿入するのが望ましい。さらに、メッセージまたは肯定応答の送終の時、このときまでロー・コントロールがロケールにメッセージの停止状態を挿入すると望ましい。この停止状態の間、たとえば、データ処理装置が肯定応答をメッセージに送ることが出来る。

このような場合にロー・コントロール・タビを阻止するために、ANDゲート462が設けられており、これは送信機が使用中のときと、TX-RBSSETゲートによって与えられるときと、あるいは、全体的に463で示す第1タイマまたは全体的に464で示す第2タイマがロー・ロジック信号を発生したときと一致して解除され、第1タイマ463は肯定応答が予測されるとその後の5クロック・サイタルにおいてロー・ロジック信号を発生する。第2タイマ464はメッセージ・コードまたは肯定応答コードが実際に送られたときとその後の5クロック・サイタルにおいてロー・ロジック信号を発生する。タイマ463、464は、各々、3ビット二進カウンタ455、458とANDゲート467、468とを包含する。ORゲート469がCAR-XMIT信号をゲート468の出力と結合させてゲート459を使用可能とし、タビ信号を送信する。ORゲート470がCAR-XMIT信号を多重化ゲート459、460に組み込み、メッセージのヘッダあるいはデータ送信中のいずれかで実際のデータ送信

を可能とする信号を発生させる。

マンチェスタ(Manchester)エンコード方式の直列変換器は並列ロード・シャフト・レジスタ411と専用ORゲート472とを包含し、この専用のORゲートはシャフト・レジスタ471のシリアル・データ出力をシャフト・クロックで変換する。このシャフト・クロックは内部バイト・クロックの周波数の8分の周波数で稼働するマスター・クロック472によって与えられる。内部バイト・クロック281はマスター・クロックによって同期される3ビット2進出力によって与えられる。バイト・クロックはカウンタ281のQ₀出力部から得られる。並列4ニール人力をシャフト・レジスタ471に与えるべく、カウンタ281の出力Q₀、Q₁、Q₂はANDゲート473によって組み合わせられる。フロー・コントロールがオフのときメッセージ3は肯定応答が送られていないときにキャリアの送信を防止するために、ORゲート475の出力はチャイブ信号としてANDゲート474に送られる。このANDゲート474が常開ORゲート472の出力をゲート制御する。

次に第2図を参照して、ここにはチャネル・インターフェース・ボードからの要求に応答する中央スイッチ・ロジックが概略図で示してある。このロジックは、第7、8、9図に関連して上述したように、それらの基端優先リング・ボード・アービタリシタからの低い優先順位の変更情報と高い優先順位の変更情報を受け取る。

処理すべきリクエストを受け取るために、中央スイッチ・ロジックは入力レジスタ491を包含する。この入力レジスタ491は高い優先順位の要求が得られる場合に高い優先順位の変更情報を受け取るが、さなければ、従来の低い優先順位の要求情報を

号を受け取る。ORゲート500の出力はサイクル・シャフト・カウンタを初期化1でリセットさせ、入力レジスタ491の同期動作を可能とさせて入力レジスタが新しいリクエストを受け取るようにする。さらに、入力レジスタ491はリクエストがまったく入力レジスタにストロープされない場合に新しいリクエストを受け取るようにされる。これらの状態はNORゲート502、ORゲート503によって解算される。ORゲート503からの信号はリクエストまたは使用済信号と兼用し、この信号は割り込み信号のためのハフドシュータとして使用することができる。

高い優先順位の変更を知らせる信号を発生する、ANDゲート504が図にあり、高い優先順位の要求が処理されつつあるときにORゲート503からの信号を指示するようになっている。同様に、ANDゲート505は、低い優先順位の要求が処理されつつあるときにはORゲート503の出力を通過させて低い優先順位の要求のための肯定応答信号を発生させる。

組合せロジック497はそこに與えられる出力を有するステータス・レジスタ508のための人力を決定する。さらに、組合せロジックは中央ロジック状態メモリ53を読み出し、中央ロジック状態メモリに読み込むことができる。ここには、特に、メッセージ要求を先キー上に置く動作とメッセージ要求を先キーから取り出す動作も含む。メッセージ要求が得られるかどうかを迅速に決定するために、組合せロジックは与えられた状態を決定する特殊なロジック507を包含する。

次に第3図を参照して、ここには要求・優先順位デコーダ498が概略図で示してある。要求はそれぞれのANDゲート511、512、513、514、515、516によって発生させられる。これらのゲートは、すべて、出力4ニール・ライ

受け取る。高次の優先順位の要求情報の多量化が一列のゲート498、499およびインバータ494によって行われる。入力レジスタ491は高い優先順位の要求が存在するかどうかを示す信号、低い優先順位の要求が存在するかどうかを示す信号、タイムアウトがジャンク・タイム496で定られたかどうかを示す信号、タイムアウトがキュー・タイム495から定られたかどうかを示す信号なども受け取る。入力レジスタ491は診断メッセージからのロー・主制御リ込み入力も受け取る。

この割り込み入力ロー・主制御にない場合を除いて、新しい要求が入力レジスタ491にストロープされたとき、サイクル・シャフト・カウンタ395がカウントを開始する。このサイクル・シャフト・カウンタは肯定出力P₀、P₁、P₂等を与える。これらの出力は組合せロジック497に送られる。また、この組合せロジックには、要求優先順位・デコーダ498から選択に渡された信号も送られる。これらの信号は、サービス・ジャンク・タイム・要求(517)、サービス・要求(RP)、ドロッパ・ジャンク・要求(DJ)、リポート・メッセージ・要求(RM)、キュー・メッセージ・要求(QM)、サービス・キュー・タイム・要求(SQT)を示す信号が包含される。

入力レジスタ491内に保持された割り込み信号の値はサービス位等(RN)とを有え、このサービス位等(ビット499)で示す方向がジャンク問題によって診断制御システム28を中央ロジック状態メモリ53内に多量化する。

サイクル・シャフト・カウンタ499はP₀、P₁等から連続的にカウントを行い、最終的には、多くの状態信号の総和1つがリクエストの状態が終了したことを示す。状態信号の総和はORゲート508に送られる。このORゲートはステータスビット507

ン(QE)によってゲート制御される。

サービス・ジャンク・タイム、ゲート511が2つだけの入力部を有する事実から得るかなうように、最高優先順位を有し、要求優先デコーダへの入力部が他のすべてのANDゲートを押す。延ばす(RP)要求およびジャンク解除(DJ)要求はQ₀。人力によって使用可能とされる事実から得るかなうように次に高い優先順位を有する。このQ₀。人力はサービス・ジャンク・タイム・要求を禁止しているゲート511を除いて他のANDゲートにゲートを作用禁止とする。リポート・メッセージ(RM)要求およびキュー・メッセージ(QM)要求は次に高い優先順位を有する。これはサービス・キュー・タイム(SQT)のためのANDゲート516のみを使用禁止にする。人力によって使用可能とされるという事実から得るかなう。サービス・キュー・タイム要求(SQT)は最後に高い優先順位を有する。これは、他のリクエストのうち任意の要求の存在で使用禁止とされるからである。低い優先順位の要求はインバータ517を使用してサービス・キュー・タイム・要求を禁止する。高い優先順位の要求はインバータ518を使用して低い優先順位の要求およびサービス・キュー・タイム・要求を禁止する。サービス・ジャンク・タイム要求はインバータ519を使用してすべての他の要求を禁止する。インバータ520は最高の優先順位の要求グループのなかにおいて2つの異なる優先順位の変更問題を選択を行うのに使用される。

次に第4図を参照して、この図は全体的に507で示す診断制御回路のロジックの概略図である。ORゲート498は、第10、11図に関連して説明したように、特定のソースおよび優先順位が少なくとも1つの状態ステータス・カウンタ内に定めてある

かどうかを示す信号を発生する。さらに行き先とソースが同じであるか、あるいは、行き先状態保持部 157 で示すように行き先が「ループバック」モードで定められた場合には該決定は許可されない。優先とソースの一致は一組の専用 I/O ゲート 51 と NIO ゲート 52 によって検出される。ループバックの場合にはインポート 53 がソースから優先への経路指定を禁止する。行き先が存在しない場合に経路指定は禁止する。

[illegible]

113の出力部)がキューのチャネルに対するポインタ(第5図のチャネル117の出力部)と比較される。もしヘッドに対するポインタがチャネルに対するポインタと等しいならば、そのときにはキューは空でない。この場合、ソース・チャネル番号のためのキュー・タイマリザットをされてから終結され、フロー・コントロール・オフ指令がキューのヘッドで示されるチャネル番号の送信機に送られる。

ゲート553によって解除されるように、サービス・ジャンク
タ要求またはジャンク解除に対する照会処理サイルで、ソー
ス・チャネルを伝送線に送らなればジャンクが割り当てられない
場合には処理は終了する。きもなければ、ゲート553によって換
出されるように、ジャンク状況テーブルが割り当てジャンクタ
について読み出され、ジャンク情報番号がレジスタにストロ
プされる。

[illegible]

第25号・第26号のための25の追加プログラムはNADノット522
 によって解決される。ジャック・レスカに保存されたジャン
 クタ第25号はソース・テーブル（第6図の158号）に書き込ま
 れる。同時に、このジャンクタ識別番号を行き先テーブル（第6
 図の159号）にも書き込まれる共に、その到着するべき宛先宛
 先宛、ソース送信機と一緒にジャンク・テーブル（第6図の
 157号）にも書き込まれる。また、宛先指令がジャンク・バス
 によってそのジャンクタ行き宛先宛線とソース送信機に到着
 して、そして、それぞれのジャンクタの次の追加ジャンク・タ
 ブルがインにされる。さらに、追加ジャンクが達成される。

サービス・ジャンクタ・タイム・要求の第1サイクルで、満了したジャンクタ・タイムについてのソースおよび行き先は第2と第3に宛答して得られる。ゲート5と6、5と5に宛答して、サービス・ジャンクタ・タイムは正しくフロッグ・ジャンクタ要求の第1処理用サイクルで、既存チャンネルのキューにに対するサービス・インデックス・ポイント・テーブル(第6図の171と172、173)から得られる。この場合、ソース・セグメント番号は180C、ゲート5と5に送ることで与えられる。このように、行き先セグメント番号(DS号)はインバークタム5によって宛先される。ここで、宛先は、ソース・ポイント・テーブルに存在する先行チャンネル番号によってアドレス指定されることに留意されたい。

インパタ5230およびゲート5231は、ジャンタが割り当てられなことをソース・テーブル(第5図の158)が示したならば処理を終了させる。さもなければ、ゲート5230およびインパタ5231がソース・キューが空でないときに処理を得るようにする。特に、ソース・キューが空であるかどうかを決定するために、キューのヘッドに対するポインタ(第5図のテーブル

になんらかのリクエストがある場合、その宛先キューに対するキュー・タイムが抽籤され、キューのヘッドに表示されるチャンネル送信機にフロー・コントロール・オフ指令が送られる。

次に第 8 回大会を参照して、この間はメーゴ・キューンマンダによるものと思われるジョット（第 2 回大会の 47）が示されてる。メーゴ・キューンマンダは作はメーゴ・ハートに固定要求ならぬメーゴ・アール要求の発症中に R0R2 で 53 によって示されるように示されている。第 1 サイクルでは、53 に 53 にて解き得られようとした例がホムブツ・モードで正なる結果を得られている。またこれには、メーゴ・ハートに固定要求を施す前に、行先先法種補メーゴ・ジョット・メーゴ・ジョット（第 2 回大会 50）によって産座されたメーゴ・ジョットによってチャリ・バウにてホムブツ・モードになる。これらの両者はインパース 53、53 およびジョット 53 によって解決される。

ハート・モックダグは先年ハート・モックダグの第2総経
 リアルでは、G-ザート556がアムド・ジャンクヤンとい
 いかうか、モックダグ・ヌーヌが長居されつゝあるかどうか
 へ先送延滞はジャンクヤンに利がなうといふかどうか、興
 業売買がナリを機使していかどうかを度する。もしの
 場合である、そして、ソース・チンヤンが先完ハ・ヘン
 であるならば、ゲート556が行動キヌホの太のキヌ
 ナイを再始動し、地居は終了する。またなければ、インバ
 ム556およびゲート556により新たに精製するように、キ
 エントリ・チンヤンがソースが先キ・ヘンにあるといこと
 を知しては、場合、フーゴート・チンヤンがソースが556
 ナンに送られ、地居は終了する。またなければ、インバ

によって示されるようにソースが行き先キューにまったくない場合、それ故に、インバース 5 6 およびゲート 5 6 によって解決されるように、ジャンクが行き先送信機に割り当てられるかあるはキューが空でない場合、ゲート 5 6 はソース・チャンネル番号を行き先キュー上に置く。さらに、キュー・ポインタが更新され、エントリがキュー・エントリ・テーブルに送られてソース・チャンネル番号が行き先キュー上にあることを示す。また、フロー・コントロール・オン指令がソース・チャンネル受信機に送られる。処理は終了する。

あるいは、ゲート 5 6 およびインバース 5 6 がジャンクが待ち先送信機に割り当てられておらず、行き先キューが空であることを示している場合には、ゲート 5 6 がソース番号を行き先キュー上に置き、さらに、キュー・ポインタが更新され、キュー・エントリ・テーブルは行き先キュー上にソース番号を置くのに従ってセットされる。また、行き先キューのためのタイマが始動され、処理は終了する。

次に第 3 図を参照して、ここにはメッセージの送信動作を行うための中央スイッチ結合およびジョグが示してある。メッセージ・ジョグは送信機のための第 2 処理サイクルでは、行き先優先権がキューを示しておらず、行き先送信機がジャンクに割り当てられておらず、ジャンクがアイドルである場合に識別指定が行われる。これらの状態はインバース 7 1、5 7 2 およびゲート 7 1 によって解決される。さらに、ゲート 7 1 4 によってさらに解決されるようにもしソース・チャンネルが行き先キューにあるならば、キュー・ポインタを更新し、キュー・エントリ・テーブルをリサイズすることによってソース番号が両方キューから取り除かれる。また、行き先に該当するキュー・タイマがリサイズされる。

とは考えられぬ。

このコンピュータ相互接続法は、たとえ多数のスター・カップラがある場合でも動作するようにプログラムすることができ、単に中央ジョグ状態メモリを再プログラムするだけで物理的な再配線を行うことなくスター・カップラに接続する隔壁を渡ることができる。また、これら低コスト・カップラの応答はコンピュータ相互接続法に関する低コスト・カップラ定義を交換することによって所望のアプリケーションの各々に調整し得て行うことができる。

相互接続法は手動を使用し、また、バックプレーンからチャンネル・インターフェース・ポート・バスポート番号を送ることによって、コンピュータ相互接続法は追加的なポートを追加するだけでなく増分拡張できる。カップラに直接接続したコンピュータ装置に關しての新しいアドレス優先権を確保するために再プログラムするの必要はない。このような回線優先権手動は設置するためのジョグおよび後述は再配線によってジョグを再分析し、重複させることによってかなり簡便される。

このコンピュータ相互接続法は診断プロセスによってモニタされ、不良状態を示す種々のタイマ、フラグがある。特に、特定の回路板に直接に示され、診断時のシステムの状態がボード上の不揮発性メモリに記憶され、故障プロセスを加速することであると共に、ボード上の誤りがボードを満たすたびに再演される確率が低くなる。

このコンピュータ相互接続法の高いロジック性能を取り除く能力はメッセージ・リクエストをキューイングし、フロー・コントロールを用いてメッセージ要求が行き先キューのヘッドに格納されるまで再送信を禁止することによって促進される。また、

される。

次に第 3 図を参照して、ここには送ったタイマを有するキューを再検索するための中央スイッチ・ジョグの動作をジョグが識別器で示してある。第 3 サイクルで、ゲート 5 6 によって解決されるように、行き先キュー・タイマの識別番号が保存される。また、行き先タイマに該当するキューのヘッドのところでエントリがキュー・ポインタを更新し、キュー・エントリ・テーブルをリサイズすることによって取り除かれる。さらに、キュー・タイマがリサイズされる。

サービス・キュー・タイマ・リクエストの処理は、ゲート 562 によって解決されるように、第 2 サイクルで終了する。付加的なゲート 5 6 3 がキューが空でないかどうかを決定し、もし空ならば、フロー・コントロール・オフ指令が現在チャンネル番号を有するチャンネル受信機に送られる。このチャンネル番号は送ったキュー・タイマの番号に相当する行き先キューの新しいヘッドのところに見出される。また、行き先キュー・タイマはリセットされてから始動される。これは中央スイッチ・ジョグの処理を完了させる。

以上、チャンネル送信機とチャンネル受信機を接続するジョグのうちの最も特定のジョグに切り換える改良したコンピュータ相互接続法について説明してきた。多数のジョグ法を利用できるので、ジョグの接続および帯域幅はかなり増大する。メッセージの経路を指定しながらパフォーマンにメッセージの初期部分を含納することによって、このジョグ法と一連に現存のコンピュータ機器を使用することがある。このコンピュータ相互接続法は、そこを述べてより大々的な送信経路を生じさせることを除いて、そこを通過するメッセージを変更する

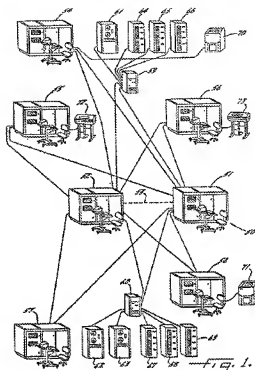
入力メッセージを修正を要してフロー・コントロール・キューに挿入し、通常のメッセージ肯定型プロトコルを使用して挿入メッセージを知らせることによってフロー・コントロールはより簡単に作られる。挿入メッセージの提供およびその肯定型の後、フロー・コントロールは最初のメッセージ要求の再送信を必要とすることなく解放できる。このようなメッセージ要求のキューイング、サービスングは、データ処理装置がフロー・コントロールがオフになった後に正常な期間でこれらのメッセージを再送信し得る場合に予約したチャンネルを解放する一連のキュー・タイマを使用して非常な信頼性をもたせられる。メッセージ種別指定、キューイングおよびフロー・コントロールの全体的なキュー・タイマの再送信のシステムが同じ優先レベルでまとめられている多レベル優先システムに關してサービス要求を支持する中央ジョグ法を付加することによって一層効率の良いものとなる。

行 録
チャンネル選択ロジック用論理式

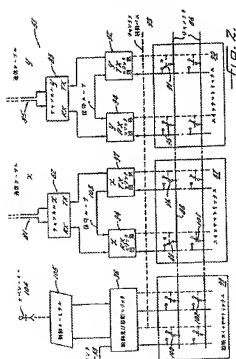
(2.2 in FIG.2)

(For $N=7$ to select one of eight channels)

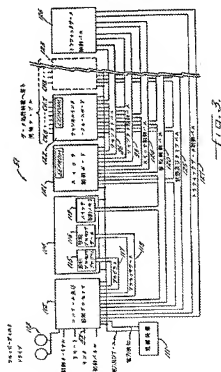
$$\begin{aligned} \text{LBO: OUTPUT} &= \text{CH0_R0} \cdot \text{EN0} + \\ &+ (\text{CH0_R0} \cdot \text{CH1_R0} \cdot \text{CH2_R0} \cdot \text{CH3_R0} \cdot \text{CH4_R0} \cdot \text{CH5_R0} \cdot \text{CH6_R0} \cdot \text{CH7_R0} \cdot \text{EN0}) + \\ &+ (\text{CH0_R0} \cdot \text{CH2_R0} \cdot \text{CH4_R0} \cdot \text{CH6_R0} \cdot \text{CH1_R0} \cdot \text{CH3_R0} \cdot \text{CH5_R0} \cdot \text{CH7_R0} \cdot \text{EN1}) + \\ &+ (\text{CH0_R0} \cdot \text{CH2_R0} \cdot \text{CH4_R0} \cdot \text{CH6_R0} \cdot \text{CH1_R0} \cdot \text{CH3_R0} \cdot \text{CH5_R0} \cdot \text{CH7_R0} \cdot \text{EN2}) + \\ &+ (\text{CH0_R0} \cdot \text{CH2_R0} \cdot \text{CH4_R0} \cdot \text{CH6_R0} \cdot \text{CH1_R0} \cdot \text{CH3_R0} \cdot \text{CH5_R0} \cdot \text{CH7_R0} \cdot \text{EN3}) + \\ &+ (\text{CH0_R0} \cdot \text{CH2_R0} \cdot \text{CH4_R0} \cdot \text{CH6_R0} \cdot \text{CH1_R0} \cdot \text{CH3_R0} \cdot \text{CH5_R0} \cdot \text{CH7_R0} \cdot \text{EN4}) + \\ &+ (\text{CH0_R0} \cdot \text{CH2_R0} \cdot \text{CH4_R0} \cdot \text{CH6_R0} \cdot \text{CH1_R0} \cdot \text{CH3_R0} \cdot \text{CH5_R0} \cdot \text{CH7_R0} \cdot \text{EN5}) + \\ &+ (\text{CH0_R0} \cdot \text{CH2_R0} \cdot \text{CH4_R0} \cdot \text{CH6_R0} \cdot \text{CH1_R0} \cdot \text{CH3_R0} \cdot \text{CH5_R0} \cdot \text{CH7_R0} \cdot \text{EN6}) \\ \text{CSI: OUTPUT} &= \{ \text{add 1, which modulo-8 arithmetic, to each} \\ &\quad \text{number in the above equation} \} \\ \text{CST: CH1P0} &= \text{CH1_R0} \cdot \text{EN0} + \\ &+ (\text{CH1_R0} \cdot \text{CH2_R0} \cdot \text{CH3_R0} \cdot \text{CH4_R0} \cdot \text{CH5_R0} \cdot \text{CH6_R0} \cdot \text{CH7_R0} \cdot \text{EN0}) + \\ &+ (\text{CH1_R0} \cdot \text{CH2_R0} \cdot \text{CH3_R0} \cdot \text{CH4_R0} \cdot \text{CH5_R0} \cdot \text{CH6_R0} \cdot \text{CH7_R0} \cdot \text{EN1}) + \\ &+ (\text{CH1_R0} \cdot \text{CH2_R0} \cdot \text{CH3_R0} \cdot \text{CH4_R0} \cdot \text{CH5_R0} \cdot \text{CH6_R0} \cdot \text{CH7_R0} \cdot \text{EN2}) + \\ &+ (\text{CH1_R0} \cdot \text{CH2_R0} \cdot \text{CH3_R0} \cdot \text{CH4_R0} \cdot \text{CH5_R0} \cdot \text{CH6_R0} \cdot \text{CH7_R0} \cdot \text{EN3}) + \\ &+ (\text{CH1_R0} \cdot \text{CH2_R0} \cdot \text{CH3_R0} \cdot \text{CH4_R0} \cdot \text{CH5_R0} \cdot \text{CH6_R0} \cdot \text{CH7_R0} \cdot \text{EN4}) + \\ &+ (\text{CH1_R0} \cdot \text{CH2_R0} \cdot \text{CH3_R0} \cdot \text{CH4_R0} \cdot \text{CH5_R0} \cdot \text{CH6_R0} \cdot \text{CH7_R0} \cdot \text{EN5}) + \\ &+ (\text{CH1_R0} \cdot \text{CH2_R0} \cdot \text{CH3_R0} \cdot \text{CH4_R0} \cdot \text{CH5_R0} \cdot \text{CH6_R0} \cdot \text{CH7_R0} \cdot \text{EN6}) \\ &+ (\text{CH1_R0} \cdot \text{CH2_R0} \cdot \text{CH3_R0} \cdot \text{CH4_R0} \cdot \text{CH5_R0} \cdot \text{CH6_R0} \cdot \text{CH7_R0} \cdot \text{EN7}) \end{aligned}$$



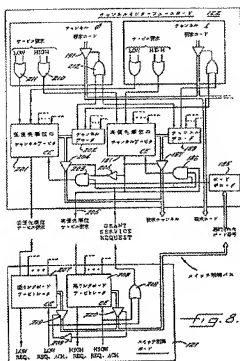
序書(内容に変更なし)



序書(内容に変更なし)



付図8(内容に変更なし)



付図9(内容に変更なし)

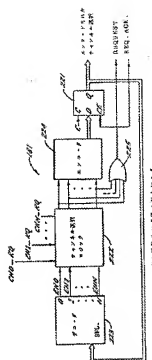


図10(内容に変更なし)

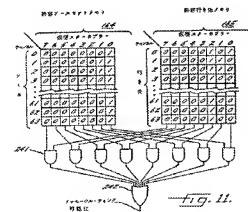
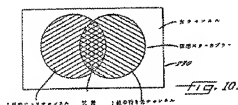


図12(内容に変更なし)

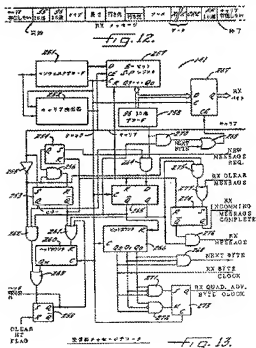


図13(内容に変更なし)

待機(内部に記号なし)

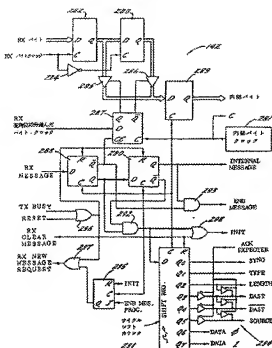


図14は、待機状態を示す回路図である。

FIG. 14.

待機(内部に記号なし)

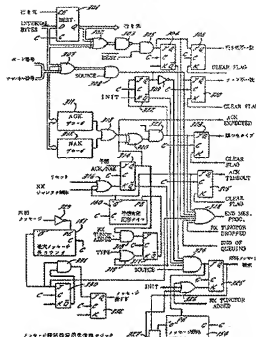


FIG. 15.

待機(内部に記号なし)

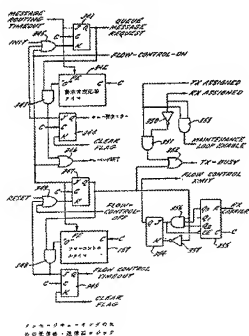


図16は、待機状態を示す回路図である。

FIG. 16.

待機(内部に記号なし)

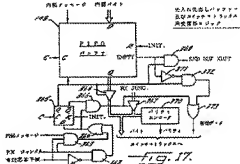


FIG. 17.

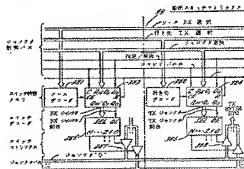


FIG. 18.

特-8(内容に変更なし)

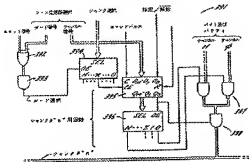
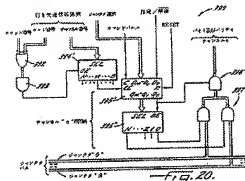


Fig. 19.



—Fr. May. 20.

経費(内容に変更なし)

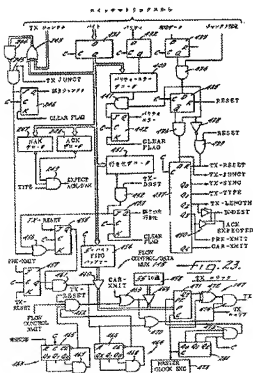


Fig. 23.

抄書(内容に改定あり)

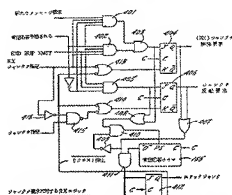
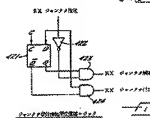
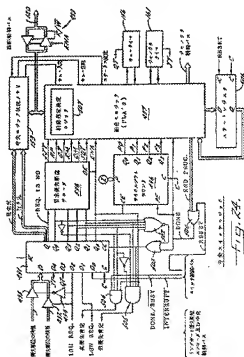


FIG. 21.



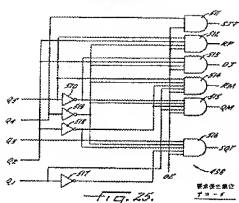
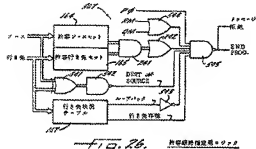
157.22.

厚巻(内容に変更なし)



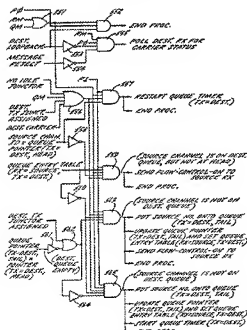
f, g, h.

得点(右空に記入せよ)

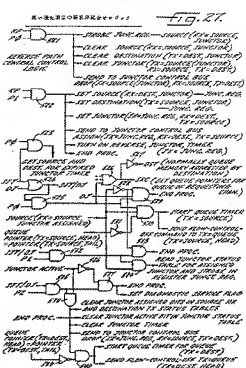

$$\sqrt{17.25}$$


Feb. 26.

読者のために

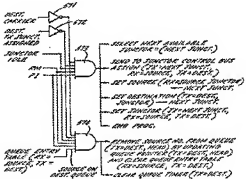


終巻(内巻に変更なし)



WATKINS-DAVE PATTERSON
(COURTESY, WATKINS)

抄書(内容に変更なし)



—Fin 20

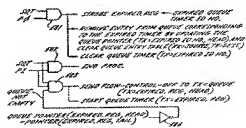


Fig. 30.

第 1 頁の続き

⑥Int.Cl.¹

G 06 F 15/16

識別記号

4 0 0 K

序内整理番号

6745-5B

⑥発 明 者	ヘンリー バリー エイ	アメリカ合衆国 ニューハンプシャー州 シントン ストリート 84	03303	ベナクツク	ワ
⑥発 明 者	カクゾー チャールズ イー	アメリカ合衆国 マサチューセッツ州 アベニユー 78	01570	ダウドリー	シヨ
⑥発 明 者	ミルズ ミルトン ヴイー	アメリカ合衆国 マサチューセッツ州 アボツツブロード ストリート 22	02121 - 1410	ボストン	
⑥発 明 者	カーン ロナルド シー	アメリカ合衆国 マサチューセッツ州 ストリート 53	02054	ミルズ リツジ	
⑥発 明 者	メツツ ドナルド アール	アメリカ合衆国 マサチューセッツ州 コリー ヒル ロード 48	01430	アウシユバーナム	
⑥発 明 者	ザグイム スタイーヴン ビー	アメリカ合衆国 マサチューセッツ州 ロス ストリート 100	01505	ボイルストン	ク
⑥発 明 者	カーク ロバート シー	アメリカ合衆国 マサチューセッツ州 イル ヒル ロード 342	01505	ボイルストン	マ